



XA-9939  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Kenji KOZAKAI et al.

Appln. No.: 10/667,505

Group Art Unit: 2818

Filed: September 23, 2003

For: NONVOLATILE MEMORY

\* \* \*

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Applicants submit herewith a certified copy of  
Japanese Patent Application No. 2002-278952 filed September  
25, 2002, for which priority has been claimed under 35  
U.S.C. § 119.

Respectfully submitted,

MWS:sys

Miles & Stockbridge P.C.  
1751 Pinnacle Drive, Suite 500  
McLean, Virginia 22102-3833  
(703) 903-9000

By: 

Mitchell W. Shapiro  
Reg. No. 31,568

January 30, 2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年 9月25日

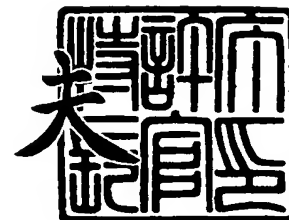
出願番号  
Application Number: 特願2002-278952  
[ST. 10/C]: [JP2002-278952]


出願人  
Applicant(s): 株式会社ルネサステクノロジ

2003年10月23日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



 【書類名】 特許願

【整理番号】 H02013131

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00  
G11C 11/40

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 小堺 健司

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 中村 剛

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 石井 達也

【発明者】

【住所又は居所】 神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内

【氏名】 角田 元泰

【発明者】

【住所又は居所】 神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内

【氏名】 井口 慎也

【発明者】

【住所又は居所】 神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内

【氏名】 丸山 純一

## 【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

## 【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

## 【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 記憶情報を電氣的に書込み、消去可能であってしきい値電圧に対応して情報を記憶する複数の不揮発性記憶素子を含むメモリアレイを備え、所定の単位で書込みおよび消去を行なうように構成された不揮発性半導体記憶装置であって、

正常な書込みまたは消去が不能な不良メモリセルを含むメモリセル群と不良メモリセルを含まないメモリセル群と置き換える代替処理機能と、各メモリセル群に対するデータ書換え回数を把握して複数のメモリセル群間で書換え回数に大きな差が生じないようにメモリセル群を置き換える書換え回数平均化処理機能と、上記メモリアレイに記憶されたデータの誤りを検出し訂正するエラー訂正機能とを備え、

上記代替処理機能による第 1 のアドレス変換情報および上記書換え回数平均化処理機能による第 2 のアドレス変換情報をそれぞれ上記メモリアレイの所定の領域に記憶し、

同一のメモリセル群に関する上記第 1 のアドレス変換情報および第 2 のアドレス変換情報を時系列的に複数個記憶するように構成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 上記複数個の第 1 のアドレス変換情報および第 2 のアドレス変換情報は、書込みが別個に行なわれる複数の第 1 領域のいずれかに記憶されるように構成されていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 上記メモリアレイはいずれかのメモリセル群への書込みまたは消去動作の途中で電源が遮断されたときに互いに影響を及ぼすことがない第 2 領域を 2 つ以上備え、上記複数個の第 1 のアドレス変換情報および第 2 のアドレス変換情報は、2 つ以上の第 2 領域に順に記憶されるように構成されていることを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】 上記第 1 のアドレス変換情報および第 2 のアドレス変換情報

の時系列順序を示す情報が、対応するアドレス変換情報が記憶される上記第1領域に記憶されるように構成されていることを特徴とする請求項2または3に記載の不揮発性半導体記憶装置。

【請求項5】 電源投入時に上記時系列情報を参照して時系列的に最も新しいアドレス変換情報を使用して上記代替処理および書換え平均化処理を実行するように構成されていることを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項6】 揮発性メモリセルからなる記憶回路を備え、上記時系列的に最も新しいアドレス変換情報が電源投入時に上記記憶回路に読み出され、該記憶回路に保持されているアドレス変換情報を使用して上記代替処理および書換え平均化処理が実行されるように構成されていることを特徴とする請求項5に記載の不揮発性半導体記憶装置。

【請求項7】 上記記憶回路に保持されているアドレス変換情報は電源遮断時に上記メモリアレイに書き込まれるように構成されていることを特徴とする請求項6に記載の不揮発性半導体記憶装置。

【請求項8】 上記書換え回数平均化処理は、上記メモリアレイを複数のブロックに分け、いずれかのブロック内のメモリセル群の書換え回数が所定回数に達した場合に、他のブロック内のブロック先頭位置からのオフセット値が同一であるメモリセル群同士で書込み対象をローテーションさせるように構成されていることを特徴とする請求項1～7のいずれかに記載の不揮発性半導体記憶装置。

【請求項9】 同一のワード線に接続された複数の記憶素子群が書込みの単位とされ、少なくとも該書込みの単位よりも大きな記憶容量を有し上記メモリアレイから読み出されたデータを保持可能な第1のバッファメモリと第2のバッファメモリとを備え、これらのバッファメモリを交互に使用した並列読出しが可能に構成されていることを特徴とする請求項1～8のいずれかに記載の不揮発性半導体記憶装置。

【請求項10】 上記メモリアレイへのデータ書込み時に、  
上記第1のバッファメモリまたは第2のバッファメモリに外部より入力された書換えデータを保持させ、書込み対象のメモリセル群から読み出されたデータを

上記第2のバッファメモリまたは第1のバッファメモリに保持させた後、

書込み対象のメモリセル群を消去状態に変化させ、上記第1のバッファメモリまたは第2のバッファメモリに保持されている書換えデータを上記第2のバッファメモリまたは第1のバッファメモリの対応する位置に書き込み、

該第2のバッファメモリまたは第1のバッファメモリに保持されているデータを書込み対象のメモリセル群に記憶させるように構成されていることを特徴とする請求項1～9のいずれかに記載の不揮発性半導体記憶装置。

【請求項11】 上記メモリセル群に管理データと管理データ以外のデータとがそれぞれ記憶される場合に、

上記メモリアレイのデータ消去時に、上記第1のバッファメモリまたは第2のバッファメモリの全ビットにメモリセルの消去状態に対応したデータを設定してから、消去対象のメモリセル群から読み出されたデータを上記第2のバッファメモリまたは第1のバッファメモリに保持させた後、

書込み対象のメモリセル群を消去状態に変化させ、上記第1のバッファメモリまたは第2のバッファメモリに保持されている消去状態に対応したデータを上記第2のバッファメモリまたは第1のバッファメモリの対応する位置に書き込み、

該第2のバッファメモリまたは第1のバッファメモリに保持されているデータを消去対象のメモリセル群に記憶させるように構成されていることを特徴とする請求項10に記載の不揮発性半導体記憶装置。

【請求項12】 外部から所定の信号が入力された状態で電源が投入された場合に、上記メモリアレイの所定の領域のデータが読み出されて所定の端子より出力可能に構成されていることを特徴とする請求項1～11のいずれかに記載の不揮発性半導体記憶装置。

【請求項13】 電源が投入されている状態で外部から所定の信号が入力された場合に、上記メモリアレイの所定の領域のデータが読み出されて所定の端子より出力可能に構成されていることを特徴とする請求項12に記載の不揮発性半導体記憶装置。

【請求項14】 上記メモリアレイの書込みおよび消去動作に必要な電圧を発生する内部電源回路を備え、外部からの所定のコマンドコードの入力に応じて

上記内部電源回路の動作が停止可能に構成されていることを特徴とする請求項1～13のいずれかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、記憶情報を電氣的に書込み、消去可能な不揮発性半導体記憶装置に関し、例えばメモリアレイ内の不良領域の代替機能を備え不良アドレスを管理する管理テーブル情報を記憶する領域を有するフラッシュメモリに利用して有効な技術に関するものである。

【0002】

【従来の技術】

フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する2重ゲート構造のMOSFETからなる不揮発性記憶素子をメモリセルに使用しており、フローティングゲートの蓄積電荷量を変えることでMOSFETのしきい値電圧を変化させ情報を記憶するようにしている。

【0003】

フラッシュメモリは、メモリセルへの書込み・消去動作の際にしきい値電圧を変化させるが、現在の製造技術では同一条件で書込み消去を行なってもメモリセルの特性バラツキによってしきい値電圧の変化の仕方にばらつきが生じ、場合によってはしきい値電圧が充分に変化しない不良メモリセルが発生することがある。

【0004】

従来の一般的なフラッシュメモリにおいては、このようにしきい値電圧が充分に変化しない不良メモリセルが発生した時に、不良メモリセルを含む所定の記憶領域を他の正常な記憶領域に置き換える代替機能を備えるとともに、不良アドレスを管理する管理テーブル情報を記憶する領域がメモリアレイ内に設けられることが多い。

【0005】

【発明が解決しようとする課題】



しかしながら、従来のフラッシュメモリは、一般に、不良アドレスを管理する管理テーブル情報の書替え等を外部のコントローラによって行なうようになっている。また、フラッシュメモリは、メモリセルのしきい値電圧のばらつきや経年変化によって読出しデータの信頼性がマスクROMやRAMなどに比べて低いため、フラッシュメモリを使用したシステムを構成する際にECCと呼ばれるエラーのチェックと訂正機能を外部のコントローラに持たせてデータの信頼性を向上させることが行なわれる。そのため、従来のフラッシュメモリは、新たにフラッシュメモリを使用したシステムを開発する際のシステム開発者の負担が大きいという課題があった。

#### 【0006】

また、従来のフラッシュメモリは、不良メモリセルを含む記憶領域が、メモリ上のファイルの位置を管理するテーブルデータやフォーマット情報、アドレス変換情報などシステムにとって重要なデータを記憶するシステム領域として使用されていた場合には、メモリの認識ができなくなったりシステムの正常動作が不能になるおそれがある。

#### 【0007】

この発明の目的は、フラッシュメモリのような電氣的に書込み、消去可能な不揮発性半導体記憶装置において、システム開発者の負担を軽減できるようにすることにある。

#### 【0008】

この発明の他の目的は、フラッシュメモリのような電氣的に書込み、消去可能な不揮発性半導体記憶装置において、管理テーブルデータやアドレス変換情報などシステムにとって重要なデータが破損してもシステムが動作しなくなるような異常な状態を回避できるようにすることにある。

#### 【0009】

この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

#### 【0010】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

#### 【0011】

すなわち、本願の第1の発明は、フラッシュメモリのような電氣的に書込み、消去可能な不揮発性半導体記憶装置に、正常な書込みまたは消去が不能な不良メモリセルを含むメモリセル群と不良メモリセルを含まないメモリセル群と置き換える代替処理機能と、各メモリセル群に対するデータ書換え回数を把握して複数のメモリセル群間で書換え回数に極端に大きな差が生じないようにメモリセル群と置き換える書換え回数平均化処理機能と、上記メモリアレイに記憶されたデータの誤りを検出し訂正するエラー訂正機能とを持たせ、上記代替処理機能による第1のアドレス変換情報および上記書換え回数平均化処理機能による第2のアドレス変換情報をそれぞれ上記メモリアレイの所定の領域に記憶し、同一のメモリセル群に関する上記第1のアドレス変換情報および第2のアドレス変換情報を時系列的に複数個記憶するように構成したものである。

#### 【0012】

上記した手段によれば、不揮発性半導体記憶装置が代替処理機能やエラー訂正機能を備えているため外部のコントローラによって代替処理やエラー訂正処理を行なう必要がなくなり、システム開発者の負担が軽減されるとともに、アドレス変換情報が複数個記憶されているため、いずれかのアドレス変換情報が失われても他のアドレス変換情報を代用することでシステムが動作しなくなるような異常な状態を回避できるようになる。

#### 【0013】

また、望ましくは、上記メモリアレイはいずれかのメモリセル群への書込みまたは消去動作の途中で電源が遮断されたときに互いに影響を与え合うことがない領域を2つ以上設け、上記複数個の第1のアドレス変換情報および第2のアドレス変換情報は、2つ以上の領域に順繰りに記憶させるように構成する。これにより、アドレス変換情報を記憶するいずれかの領域のデータが書込みまたは消去動作によって失われても他の領域に記憶されているアドレス変換情報は失われることがなく、システムが動作しなくなるような異常な状態を確実に回避できるよう

になる。

#### 【0014】

#### 【発明の実施の形態】

以下、本発明の一実施例を、図面を用いて説明する。

#### 【0015】

図1は、本発明を適用して有効な不揮発性半導体記憶装置の一例としてのフラッシュメモリの実施例のブロック図を示す。この実施例のフラッシュメモリは、外部のホストCPUのようなコントローラとの間の信号の入出力を行なうホストインタフェース部101と、該ホストインタフェース部101を制御するインタフェース制御部110と、複数の不揮発性記憶素子（メモリセル）がマトリックス状に配置されたフラッシュ・メモリアレイ121とその周辺回路からなる記憶部120と、不良アドレスの管理などを行なう管理部130とから構成され、これらが単結晶シリコンのような1個の半導体チップ上に形成されている。

#### 【0016】

既存のフラッシュメモリには、外部端子の仕様が異なる複数種類のチップがあり、本実施例のフラッシュメモリは、このうちNAND型と呼ばれる仕様のチップと、AND型と呼ばれる仕様のチップと、SAND（SuperAND）型と呼ばれる仕様のチップのいずれのチップとしても見かけ上動作できるように構成されており、いずれのチップとして動作するかはボンディングオプションすなわちホストインタフェース部101に接続されている所定のボンディングパッドB、Oの設定状態に応じて決定されるようになっている。仕様が異なると外部端子の種類や配置が異なる。

#### 【0017】

特に制限されるものでないが、本実施例では記憶部110のフラッシュ・メモリアレイ121は複数のメモリセルがビット線とソース線との間に並列に接続されたAND型で構成されており、上記ボンディングオプションによる設定でインタフェース部110が「AND」に設定されているときは、インタフェース部110へ入力された外部からのコマンドをそのまま記憶部110へ供給する。

#### 【0018】

インタフェース制御部 110 は、上記ボンディングオプションによる設定に応じて、インタフェース部 110 が「NAND」に設定されているときは NAND 仕様のコマンドを AND 仕様のコマンドに変換し記憶部へ供給する NAND/AND インタフェース 111 と、インタフェース部 110 が SAND に設定されているときは SAND 仕様のコマンドを解析して記憶部 120 と管理部 130 に対する制御信号を生成する SAND/AND インタフェース 112 と、これらのインタフェース 111 または 112 を介した信号と管理部 130 からの信号の記憶部 120 への選択を行なうインタフェース選択回路 113 とから構成されている。

#### 【0019】

記憶部 120 は、不揮発性記憶素子を含むフラッシュ・メモリアレイ部 121 と、該メモリアレイ部 121 に対するデータの書込み、消去に必要な電圧を発生する電源回路 122 と、フラッシュ・メモリアレイ部 121 に供給されるライトアドレスとライトデータおよびリードアドレスとフラッシュ・メモリアレイ部 121 から読み出されたリードデータを一時的に保持する 2 つのバッファメモリ 123 A, 123 B と、不良メモリセルを含む領域を所定の単位（例えば 128 セクタからなるセグメント）で正常な領域と代替した場合にアドレスの変換を行なう救済回路 124 と、上記電源回路 122 に対する起動信号を生成したり上記ホストインタフェース部 101 を介して入力されたアドレスを救済回路 124 に供給したりリードデータやライトデータの変換等を行なう AND 制御回路 125 とから構成されている。

#### 【0020】

フラッシュ・メモリアレイ部 121 には、メモリアレイの他、アドレスをデコードしてワード線を選択するデコーダやビット線の信号を増幅するセンスアンプなどが含まれる。メモリアレイ 121 を構成するメモリセルは、フローティングゲートとコントロールゲートを有する MOSFET からなり、フローティングゲートに注入される電荷の量に応じてしきい値電圧が変化されることにより情報を記憶するようにされる。また、特に制限されるものでないが、バッファメモリ 123 A, 123 B は SRAM により構成されている。救済回路 124 によるセグ

メント単位の代替を行なうか否かはウェハテストの結果に基づいて決定される。

#### 【0021】

管理部130は、インタフェース制御部110と管理部130との間の信号のやり取りを行なう回路ブロック間インタフェース131と、チップ内部の動作を制御するCPUのようなプログラム制御方式のコントローラからなるシーケンサ132と、該シーケンサの動作を制御コードからなるマイクロプログラムのような形式で記憶するシーケンス用ROM133と、シーケンサが使用するレジスタ134と、アドレス変換テーブルを展開したりシーケンサ132の作業領域を提供するワークRAM135と、エラーのチェック及び訂正を行なうECC回路136と、記憶部120とワークRAM135またはECC回路136との間のデータ転送を制御するDMA転送制御回路137とから構成されている。

#### 【0022】

本実施例のフラッシュメモリにおいては、メモリアレイ121は1本のワード線に接続された2112バイトからなるメモリセル群（以下、セクタと称する）を単位として書込みを行なうように構成されている。また、メモリアレイ121は、通常領域と該通常領域内の不良メモリセルを含むセクタを代替する予備領域とに分けて管理するようにされている。そして、この通常領域内のセクタと予備領域内のセクタとを対応付ける不良アドレス管理テーブルが管理部130によって生成されてフラッシュ・メモリアレイ121内に記憶される。また、不良アドレス管理テーブルは通常動作時はワークRAM135に展開されて参照される。外部から入力されたアドレスが不良メモリセルを含むセクタを指定している場合は、この不良アドレス管理テーブルを参照して予備領域内の代替セクタを指定するアドレスに変換され、この変換アドレスによってフラッシュ・メモリアレイ121がアクセスされる。これにより、不良セクタの代替が行なわれる。

#### 【0023】

さらに、本実施例のフラッシュメモリにおいては、2種類の方式で代替処理が行なわれる。図2には、第1方式の代替処理の概念が示されている。この第1方式の代替処理では、フラッシュ・メモリアレイ121は、通常領域と該通常領域内の不良メモリセルを含むセクタを代替する予備領域とに分けられている。各セ

クタは、本来のデータ（ユーザデータ）を記憶するデータ領域と、当該セクタが不良メモリセルを含んでいるか否かを示すMGMコードやエラー訂正コード等を記憶するセクタ管理情報領域とに分けられている。また、通常領域は各々  $n$  個（例えば  $n = 128$ ）のセクタを単位とする  $N$  個（例えば  $N = 64$ ）のセグメントにより構成されている。予備領域も通常領域の  $N$  個のセグメントに対応して  $N$  個のセグメント（ただしセクタ数は可変）により構成され、通常領域内のセグメントは予備領域内のセグメントと 1 : 1 で対応されている。

#### 【0024】

管理テーブルのセクタ管理情報は、代替元の不良セクタの位置を示す情報欄  $ADL$  と、代替セクタが良セクタまたは不良セクタであるかを示すフラグ  $FLG$  とからなるエントリ  $ENT$  により構成される。例えば図2の代替セクタ  $Nn+2$  が不良であった場合には、対応するエントリのフラグに「1」がセットされる。管理テーブルの各エントリには、不良セクタの位置を示す情報が各セグメントの先頭アドレスからのオフセット値  $OFFS$  として登録される。また、管理テーブルのセクタ管理情報の各エントリは、予備領域の各セクタと 1 : 1 で対応されている。

#### 【0025】

管理部 130 は、書込み動作の結果、例えば図2の物理アドレス「2」のセクタが不良セクタであったときは、当該セクタが属する通常領域のセグメント 0 に対応する代替領域のセグメント 0 の代替セクタ（例えば  $Nn+1$ ）にデータを格納する。データが無事に格納できると、このセクタに対応する管理テーブルのエントリに、代替元のセクタのオフセット値「0002h」を格納するとともに、フラグを「0」にする。また、管理部 130 は、通常領域のセグメント 0 内のセクタをアクセスするときは、当該セクタのアドレスからオフセット値を計算し、管理テーブルのセグメント 0 のエントリを順に参照して不良セクタであるか否かを判定して、不良セクタとして登録されているときは当該エントリに対応する予備領域内のセクタをアクセスする。このとき、アドレス変換が行なわれる。

#### 【0026】

この代替方式は、通常領域をセグメントに分けて管理するため不良アドレス管

理テーブルに登録するセクタ位置情報として物理アドレスの代わりにオフセット値とすることができるためテーブルのデータ量すなわちワークRAM135の記憶容量を少なくすることができる。また、管理テーブルの検索時間も短縮することができる。

#### 【0027】

図3には、第2方式の代替処理の概念が示されている。第1方式の代替処理ではフラッシュ・メモリアレイを通常領域と代替領域をそれぞれセグメントに分けているのに対し、第2の代替処理ではセグメントによる分割を行わずに通常領域全体で生じた不良セクタを1つの代替領域内のいずれかのセクタで代替させるようにしている。この方式では、管理テーブルに登録する不良セクタ位置情報として物理アドレスを使用する必要があるため、テーブルのデータ量すなわちワークRAM135の記憶容量が多くなり、管理テーブルの検索時間も長くなるが、代替領域を効率良く利用できオフセット等の計算も不要であり、代替処理が簡単になるという利点がある。具体的には、第1の方式ではあるセグメントに不良セクタが後から集中して発生したような場合、予備領域のセグメントのサイズの変更が必要になるが、第2の方式ではそのような変更が不要である。

#### 【0028】

なお、上記第1の代替処理と第2の代替処理のいずれかを選択して適用するのではなく、テストの段階で検出された不良セクタの代替処理には第1の代替処理方式を適用し、出荷後の通常使用状態で生じた不良セクタの代替処理には第2の代替処理方式を適用するようにしてもよい。また、図4に示すように、代替領域に最大代替セクタ数可変の代替セグメント領域と最大代替セクタ数固定の代替セグメント領域と予備の代替領域とを設け、テストの段階で検出された不良セクタの代替処理には最大代替セクタ数可変の代替セグメント領域を用いた第1の代替処理方式を適用し、出荷後の通常使用状態で生じる不良セクタの代替処理には途中の段階まで最大代替セクタ数固定の代替セグメント領域を用いた第1の代替処理方式を適用し、代替セグメントのセクタを全て使用し終えたセグメントが発生した場合には予備の代替領域を用いた第2の代替処理方式を適用するようにしてもよい。

## 【0029】

図5には、通常使用状態で生じる不良セクタの代替処理には途中の段階まで最大代替セクタ数固定の代替セグメント領域を用いた第1の代替処理方式を適用し、代替セグメントのセクタを全て使用し終えたセグメントが発生した場合には予備の代替領域を用いた第2の代替処理方式を適用したフラッシュメモリを用いたシステムにおける管理部の処理手順が示されている。ホストCPUのような外部のコントロールデバイス（以下、外部デバイスと称する）がフラッシュメモリにコマンドとアドレスを送信するとフラッシュメモリがこれを受信して先ず受信した論理アドレスに基づいて対応するセグメントとオフセットを計算する（ステップS1，S2）。

## 【0030】

次に、不良管理テーブルのセグメント管理情報を参照してアクセスしようとするセクタが不良セクタか否か判定する（ステップS3，S4）。不良セクタであったときはアドレス変換を行なってエントリに対応した代替セグメント内の代替セクタを指定する（ステップS5）。一方、ステップS4の判定で不良セクタでなかったときは、不良管理テーブルの予備代替領域管理情報を参照してアクセスしようとするセクタが不良セクタか否か判定する（ステップS6，S7）。そして、不良セクタであったときはアドレス変換を行なって予備代替領域内の対応する代替セクタを指定する（ステップS8）。

## 【0031】

一方、ステップS4及びステップS7の判定で不良セクタでなかったときは、そのまま通常領域の対応するセクタを指定する（ステップS9）。その後、指定されたセクタをアクセスしてデータの読出し又は書込みを行なう（ステップS10）。それから、受信コマンドがリードコマンドの時は読み出されたデータを、また受信コマンドがライトコマンドの時は書込み終了を示す信号もしくはステータスを外部デバイスへ送信して終了する（ステップS11）。

## 【0032】

図6には、通常領域と代替領域の各セクタの構成例が示されている。セクタは、例えば2096バイトのデータ領域と16バイトのセクタ管理領域とに分けら



れており、このうちデータ領域の構成が図6（A）に、またフラッシュメモリがANDまたはNAND仕様に設定された場合のセクタ管理領域の構成が図6（B）に示されている。図6（C）はフラッシュメモリがSAND仕様に設定された場合のセクタ管理領域の構成である。

#### 【0033】

各セクタのデータ領域は、図6（A）に示されているように、各々512バイトの4つのページ領域Page 0～Page 3と各ページ領域に対応されて管理情報を記憶する8バイトの管理領域と、16バイトのエラー訂正コードECC 0、ECC 1を記憶する領域とから構成される。この実施例のフラッシュメモリにはデータ領域変更コマンドが用意されており、読出しコマンドのみが入力されると512バイトのページ領域Page 0～Page 3のデータがチップ外部に読み出される。また、データ領域変更コマンドが入力された後、読出しコマンドが入力されると512バイトのページ領域Page 0～Page 3および次の8バイトのデータを含む520バイトのデータがチップ外部に読み出されるようにされている。コマンド用いてデータ単位を替える代わりに、複数のコマンドを用意したり、ボンディングオプションで設定されたモードに応じて読出しのデータ単位が替わるように構成しても良い。また、各ページ領域の後の管理領域には対応するページ領域のデータのECCコードを格納するために使用するようにしても良い。

#### 【0034】

セクタ管理領域は、図6（B）に示されているように、当該セクタが良セクタか否かを示すMGMコードを記憶する領域と、セクタの識別コードを記憶する領域と、管理領域の履歴を管理する管理ヘッダを記憶する領域と、書換え回数平均化処理（WL処理）用の管理情報（配列、消去回数）を記憶する領域と、エラー訂正コードCECC 0、CECC 1、HECCを記憶する領域とから構成される。SAND仕様に設定された場合のセクタ管理領域は、図6（C）に示されているように、書換え回数平均化処理用の管理情報を記憶する領域がNANDやANDの場合よりも小さくされ、設定回数が記憶される一方、管理ヘッダを記憶する領域が大きくされている。

## 【0035】

図7および図8には、管理テーブル領域の各セクタの構成例が示されている。このうち図7はセクタの全体構成、図8（A）～（D）は図7に示されている各領域の詳細構成を示す。管理テーブル領域の各セクタは、図7に示されているように、管理テーブルの領域を示す情報を記憶する領域設定領域と、セグメント単位で置き換えを行なう情報を記憶するスワップ管理領域と、代替セグメントの管理情報を記憶する領域と、予備代替領域の管理情報を記憶する領域と、書換え回数平均化処理用の管理情報を記憶する領域とに分けられている。図7には示されていないが、エラー訂正コードを記憶する領域も最後に設けられている。図8（A）はスワップ管理領域の構成、図8（B）は代替セグメント管理領域の構成、図8（C）は予備代替領域管理領域の構成、図8（D）は書換え回数平均化処理管理領域の構成をそれぞれ示す。

## 【0036】

次に、書換え回数平均化処理について説明する。

## 【0037】

従来のフラッシュメモリにおける書換え回数平均化処理は、あるセクタの書換え回数が所定の回数に達したならば書換え回数の最も少ないセクタを探してアドレスの入れ替えを行なうものである。これに対し、本実施例のフラッシュメモリにおける書換え回数平均化処理は、図9に示されているように、フラッシュ・メモリアレイを例えば1024セクタを1つのブロックとするブロック単位で、あるセクタの書換え回数が所定の回数に達したならばそのセクタのデータを隣接するブロックの同一のオフセット位置のセクタに格納するようにアドレスを順次1ブロックずつローテーションさせる処理とされている。

## 【0038】

具体的には、図9において、例えばブロック0のオフセット1のセクタの所定の書換え回数が、（A）→（B）のようにm（例えばm=1000）に達したならば、（C）に示されているように、ブロック0のオフセット1のセクタのデータBをブロック1のオフセット1のセクタに移して書き込み、ブロック1のオフセット1のセクタのデータGをブロック2のオフセット1のセクタに移して書き

込み、ブロック 2 のオフセット 1 のセクタのデータ J をブロック 3 のオフセット 1 のセクタに移して書き込むというように、ブロック間で順次シフトしてデータと書換え回数を格納する。また、上記データ書込み領域のシフトに連動して書換え回数平均化処理管理領域には、各オフセットごとにシフトした回数を書き込んで記憶するようにしている。

#### 【0 0 3 9】

あるセクタの書換え回数が所定の回数に達したならば書換え回数の最も少ないセクタを探してアドレスの入れ替えを行なうという従来の書換え回数平均化処理は、書換え回数の最も少ないセクタを見つけるまでにかなり時間がかかるとともにアドレス変換テーブルのサイズが大きくなるという欠点がある。これに対し、本実施例のシフト方式の書換え回数平均化処理によれば、データを移すセクタを決定する処理が簡単で短時間に終了するとともに、移転先のアドレスは演算で得ることができるためアドレス変換テーブルが不要になるという利点がある。シフト回数を記憶する書換え回数平均化処理管理領域には数ビットのシフト回数を記憶するだけでよいので、アドレスを記憶する場合よりも記憶領域をはるかに小さくすることができる。

#### 【0 0 4 0】

次に、ワーク RAM 1 3 5 について説明する。

#### 【0 0 4 1】

本実施例のフラッシュメモリにおいては、電源投入時にメモリアレイ 1 2 1 の管理テーブル領域に格納されているテーブルデータをワーク RAM 1 3 5 に読み出して展開し、電源オン中はテーブルデータの更新があってもメモリアレイ 1 2 1 の書換えはせず、電源遮断時にワーク RAM 1 3 5 内のデータをメモリアレイ 1 2 1 の管理テーブル領域に格納するように構成されている。しかも、本実施例においては、図 1 0 に示されているように、メモリアレイに用意された 2 つの管理テーブル領域を交互に使用してテーブルデータを格納するとともに、各管理テーブル領域をさらに複数の領域（例えば 8 個）に分けて、順番に格納するように構成されている。なお、電源オン中にテーブルデータの更新があった場合にはワーク RAM 上の管理テーブルのデータを書き換えるとともにメモリアレイ 1 2 1

の対応する管理テーブル領域のテーブルデータを書き換えるようにしてもよい。

#### 【0042】

上記のように、フラッシュ・メモリアレイ 121 の管理テーブル領域に格納されているテーブルデータをワーク RAM 135 に読み出して展開することにより、アクセスアドレスが不良セクタのアドレスか否かの判定および代替セクタのアドレスの取得を短時間に行なうことができる。また、2つの管理テーブル領域に交互にテーブルデータを格納するように構成することにより、書換え中の電源遮断等によって一方の管理テーブル領域のデータがすべて失われても一世代の前の管理テーブルのデータを再現することができる。また、各管理テーブル領域を複数の領域に分けて順番に格納するように構成することにより、管理テーブル領域内での書換え平均化処理が実現され、書換え回数が書換え耐数以上になってデータの信頼性が低下するのを回避することができる。

#### 【0043】

なお、本実施例の場合、テーブルデータは 2096 バイトの記憶容量を有する 1 セクタのデータ領域に収まるデータ量であるため、1つの管理テーブル格納領域は 1つのセクタに対応され、管理テーブル領域 0 と 1 はそれぞれ 1 ブロックに対応して設けられている。また、図 10 において、管理ヘッダは各領域に格納されている管理テーブルの時間的な順番を示している。つまり、最も大きな管理ヘッダがついている領域に格納されている管理テーブルが最新のテーブルで、最も小さな管理ヘッダがついている領域に格納されている管理テーブルが最も古いテーブルであることを意味している。従って、シーケンサ 132 は、フラッシュ・メモリアレイ 121 内の管理テーブル領域のすべての管理ヘッダを参照してそのうち最も値が大きなテーブルデータを読み出せばそれが最新の管理テーブルとなる。

#### 【0044】

図 10 には、管理テーブル領域 (1) の管理ヘッダ「15」の領域に格納されている管理テーブルをワーク RAM 135 に読み出してフラッシュ・メモリアレイへの書込みに応じて更新し、管理テーブル領域 (0) の管理ヘッダ「0」の領域に格納する様子が示されている。ワーク RAM に読み出した直後の管理テーブ

ルの管理ヘッダには「15」が記述され、メインアドレス欄には当該テーブルが格納されていたセクタアドレス「2007h」が記述され、予備テーブルアドレス欄には一つの前に管理テーブルが格納されていたセクタアドレス「217Fh」（管理ヘッダ＝「14」）が記述されている。

#### 【0045】

そして、このRAM上にロードされた管理テーブルは更新されて、管理テーブルの管理ヘッダは「15」から「16」に変更され、メインテーブルアドレス欄には当該テーブルが次に格納される管理テーブル領域（0）の最も管理ヘッダの値が小さな領域（図10では管理ヘッダ＝「0」）のセクタアドレス「2178h」が記述され、予備テーブルアドレス欄には読み出されたときに格納されていたセクタアドレス「2007h」（管理ヘッダ＝「15」）が記述される。電源遮断時には、更新後のメインテーブルアドレス欄のセクタアドレスに従ってRAM上の管理テーブルデータが格納される。

#### 【0046】

ここで、予備テーブルなる語を使用しているのは、本実施例の管理テーブル格納方式に従うと、何らかの原因で現在つまり最新の管理テーブルデータが失われたり損傷したりした場合には、1つの前の管理テーブルを読み出して利用することができるためである。1つ前の管理テーブルデータに異常があれば、さらにその1つ前の管理テーブルデータを利用することができる。これによって、システムにとって重要なデータを修復することができ、メモリを認識できなくなったりシステムが起動しなくなったりするような異常な事態が発生するのを極力回避することができるようになる。

#### 【0047】

図11には、ワークRAM135の構成例が示されている。図11に示されているように、ワークRAM135は良セクタコード格納領域GCA、識別コード格納領域DCA、管理ヘッダ格納領域MHA、書換え回数平均化処理の設定格納領域RNA、不良管理テーブル格納領域IMA、書換え回数平均化処理管理テーブル格納領域RMA、シーケンサのワーク領域WKA、読出し時の管理テーブルが格納されていたアドレスを示すメインテーブルアドレス格納領域MAA、前回

の読出し時の管理テーブルが格納されていたアドレスを示す予備テーブルアドレス格納領域 R A A からなる。

#### 【 0 0 4 8 】

ワーク領域 W K A 以外のデータは電源投入時にフラッシュ・メモリアレイ 1 2 1 から読み出されてワーク R A M 1 3 5 の各領域に展開される。動作中に不良セクタが新たに検出された場合における代替処理に伴う不良管理テーブルの更新や、書換え回数が所定の回数に達したセクタが発生した場合における書換え回数平均化処理に伴う管理テーブルの更新は、ワーク R A M 1 3 5 上にて行なわれる。メインテーブルアドレスと予備テーブルアドレスの更新は、ワーク R A M 1 3 5 のデータをフラッシュ・メモリアレイ 1 2 1 に格納する際に行なわれる。

#### 【 0 0 4 9 】

図 1 2 には、電源投入時にフラッシュ・メモリアレイ 1 2 1 からワーク R A M 1 3 5 へ管理テーブル領域のデータを読み出す処理の手順が示されている。

#### 【 0 0 5 0 】

シーケンサ 1 3 2 は、先ずフラッシュ・メモリアレイの管理テーブル領域（ 0 ）を検索する（ステップ S 2 1）。そして、識別コードを調べて有効な管理テーブルデータがあるか否か判定する（ステップ S 2 2）。ここで、管理テーブル領域（ 0 ）内に有効な管理テーブルデータがないときは、ステップ S 3 3 へ移行して管理テーブル領域（ 1 ）を検索して、識別コードを調べて有効な管理テーブルデータがあるか否か判定する（ステップ S 3 4）。ここで、管理テーブル領域（ 1 ）内に有効な管理テーブルデータがないときはエラーとして処理を終了する。

#### 【 0 0 5 1 】

一方、ステップ S 3 4 で管理テーブル領域（ 1 ）内に有効な管理テーブルがあったときは、管理ヘッダを参照して管理テーブル領域（ 1 ）内で管理ヘッダが最大値であるテーブルのデータをワーク R A M へロードし、当該テーブルのアドレスをメインテーブルアドレスとして登録する（ステップ S 3 5）。それから、当該テーブルデータを管理テーブル領域（ 0 ）に複写するテーブルコピー処理（ステップ S 4 0）へ移行する。一方の管理テーブル領域のデータが破壊されてしまったような場合に他方の管理テーブル領域のデータを複写することにより、両方

の管理テーブル領域に有効なテーブルデータがなくなってしまう事態を回避するためである。

#### 【0052】

上記ステップS22で、識別コードを調べて管理テーブル領域(0)内に有効な管理テーブルデータがあると判定したときは、ステップS23へ移行して管理テーブル領域(0)の全セクタから管理ヘッダを読み出し、管理ヘッダが最大値であるテーブルのデータをワークRAMへロードし、当該テーブルのアドレスをメインテーブルアドレスとして登録する(ステップS24)。次に、管理テーブル領域(1)を検索する(ステップS25)。そして、識別コードを調べて有効な管理テーブルデータがあるか否か判定する(ステップS26)。ここで、管理テーブル領域(1)内に有効な管理テーブルデータがないときは、ステップS40のテーブルコピー処理へ移行して管理テーブル領域(1)に管理テーブル領域(0)から読み出したデータをコピーする。

#### 【0053】

ステップS26で管理テーブル領域(1)内に有効な管理テーブルがあると判定するとステップS27へ移行して、管理テーブル領域(1)の全セクタから管理ヘッダを読み出し、管理テーブル領域(1)の管理ヘッダのうち最大値のものと管理テーブル領域(0)の管理ヘッダのうち最大値のものとを比較する(ステップS28)。そして、管理テーブル領域(1)の管理ヘッダの最大値の方が大きい時はステップS29からステップS30へ移行して管理テーブル領域(1)内の管理ヘッダが最大値であるセクタのテーブルデータをワークRAMへロードし、当該テーブルのアドレスをメインテーブルアドレスとして登録するとともに、管理テーブル領域(0)内の管理ヘッダが最大値であるセクタのテーブルのアドレスを予備テーブルアドレスとして登録する(ステップS31)。一方、ステップS29で管理テーブル領域(0)の管理ヘッダの最大値の方が管理テーブル領域(1)の管理ヘッダの最大値よりも大きいと判定したときは、ステップS32へ移行して管理テーブル領域(1)内の管理ヘッダが最大値であるセクタのテーブルのアドレスを予備テーブルアドレスとして登録する。

#### 【0054】

図13には、図12のフローチャートのステップS40におけるテーブルコピー処理の詳細な手順が示されている。

#### 【0055】

このテーブルコピー処理では、先ず発見したテーブルが管理テーブル領域（0）にあるか判定する（ステップS41）。そして、発見したテーブルが管理テーブル領域（0）にあるときはステップS42で領域設定情報の管理テーブル領域（1）の先頭アドレスをフラッシュ・メモリアレイ内のテーブル格納先頭アドレスとする。また、発見したテーブルが管理テーブル領域（1）にあるときはステップS43で領域設定情報の管理テーブル領域（0）の先頭アドレスをフラッシュ・メモリアレイ内のテーブル格納先頭アドレスとする。それから、既にワークRAMにロードされているテーブルデータを上記格納先頭アドレスからフラッシュ・メモリアレイに書き込む（ステップS44）。

#### 【0056】

そして、正常に書き込みが終了したか否か判定し、正常に書き込みが終了したときは当該先頭アドレスを予備テーブルアドレスとしてワークRAMの予備テーブルアドレス欄に登録する（ステップS45、S46）。また、ステップS44で正常に書き込みが終了しなかったときは、ステップS47で同一管理テーブル領域内における次のセクタをテーブルデータを格納するアドレスとし、ステップS44へ戻ってワークRAMにロードされているテーブルデータを書き込む。そして、管理テーブル領域内の全セクタに対して書き込みをトライしても正常にテーブルデータを書き込めなかったときは書き込みエラーとして処理を終了する（ステップS48）。

#### 【0057】

図14には、ワークRAM135からフラッシュ・メモリアレイ121へ管理テーブル領域のデータを格納する処理の手順が示されている。

#### 【0058】

このテーブル格納処理では、先ずワークRAM上のテーブル管理ヘッダをインクリメント（+1）する（ステップS51）。次に、予備テーブルアドレスの次のアドレスをフラッシュ・メモリアレイ内のテーブル格納先アドレスとする（ス



テップ S 5 2)。それから、ワーク R A M 上にあるテーブルデータをフラッシュ・メモリアレイの上記格納先アドレスに書き込む（ステップ S 5 3）。

#### 【0059】

そして、正常に書込みが終了したか否か判定し、正常に書込みが終了したときはテーブルアドレスを入れ替える。つまり、メインテーブルアドレスを予備テーブルアドレスとしてワーク R A M の予備テーブルアドレス欄に登録し、フラッシュ・メモリアレイの最新テーブルアドレスをメインテーブルアドレスとしてワーク R A M の予備テーブルアドレス欄に登録する（ステップ S 5 4， S 5 5）。また、ステップ S 5 4 で正常に書込みが終了しなかったときは、ステップ S 5 6 で同一管理テーブル領域内における次のセクタをテーブルデータを格納するアドレスとし、ステップ S 5 3 へ戻ってワーク R A M に記憶されているテーブルデータをフラッシュ・メモリアレイに書き込む。そして、管理テーブル領域内の全セクタに対して書込みをトライしても正常にテーブルデータを書き込めなかったときは書込みエラーとして処理を終了する（ステップ S 5 7）。なお、電源遮断時に上記テーブル格納処理を実行するときはステップ S 5 5 のテーブルアドレスの入れ替えは不要である。

#### 【0060】

図 1 5 には、本実施例のフラッシュメモリにおけるアドレス変換処理の手順が示されている。該アドレス変換処理は、アクセスアドレスを伴うデータの読出し、書込みまたは消去コマンドが入力されると実行される。

#### 【0061】

アドレス変換処理では、先ず書換え回数平均化処理の管理情報をワーク R A M から読み出ししてアクセスアドレスに対応するブロックシフト数を選択する（ステップ S 6 1）。次に、選択したブロックシフト数に従って前記アクセスアドレスを変換する（ステップ S 6 2）。それから、変換後のアドレスに基づいてオフセット値を計算しそのオフセット値を用いて不良管理テーブル上の対応セグメントの管理情報を選択する（ステップ S 6 3）。そして、管理テーブルを検索して当該アドレスのセクタが不良セクタとして登録されているか判定する（ステップ S 6 4）。ここで、アクセスしようとするセクタが不良セクタとして登録されて

いれば、対応する代替セグメントの代替セクタアドレスを得る代替アドレス変換を行なう（ステップS65）。一方、ステップS64でアクセスしようとするセクタが不良セクタとして登録されていないときは、代替アドレス変換をせずに最終アドレスとする（ステップS66）。

#### 【0062】

次に、本実施例のフラッシュメモリの電源投入時の動作について、図16を用いて説明する。この実施例のフラッシュメモリには、特に制限されないが、電源電圧のレベルを検出する電源電圧検出回路がホストインタフェース部101に設けられており、この電源電圧検出回路による電源電圧の立ち上がり検出信号がインタフェース制御部110に供給され、内部回路が起動される（ステップS71）。インタフェース制御部110が立ち上がり検出信号を受けると管理部130に対して起動コマンドを発行する（ステップS72）。

#### 【0063】

すると、管理部130では、シーケンサ132が初期化され、フラッシュ部120からワークRAM135へ管理テーブルデータをロードする処理を実行する（ステップS73，S74）。管理テーブルデータのロードが終了すると、管理部130からインタフェース制御部110に対して終了信号が送られ、インタフェース制御部110は外部デバイスから入力されているPRE（プリロードイネーブル）信号が有効レベル（例えばハイレベル）にアサートされているか否かを判定し、PRE信号がアサートされていないときは外部からのコマンド入力待つスタンバイ状態に移行する（ステップS75，S76）。

#### 【0064】

一方、PRE信号がアサートされているときはフラッシュ・メモリアレイ121のアドレス0番地のセクタのデータをバッファメモリ123Aを介して外部へ出力可能な自動読出し状態へ移行する（ステップS77）。なお、ステップS76のスタンバイ状態または自動読出し状態に移行すると、所定の外部端子から出力される本動作のレディまたはビジーを示す信号/MRESがレディ状態を示すハイレベル（もしくはロウレベル）に変化されるように構成されている。

#### 【0065】

図 17 には、パワーオン時に自動読出しを行なう場合のタイミングが示されている。この自動読み出しは、電源投入時に外部デバイスが P R E 信号をハイレベルにアサートしておくことにより実行される。

#### 【0066】

電源投入時に P R E 信号がハイレベルにアサートされた状態でフラッシュメモリが起動されると、管理部 130 へ起動コマンドが送られて管理部が初期化された後、管理テーブルのロードが行なわれ、ロード完了後にインタフェース制御部 110 から管理部 130 に対して自動読出しコマンドと 0 番地を示すアドレスが供給される。すると、シーケンサ 132 はこの管理テーブルを参照して必要があるときはアドレス変換を行なって変換後のアドレスとリードコマンドとをフラッシュ部 120 へ供給する。これによって、フラッシュ・メモリアレイ 121 の 0 番地のセクタのデータが読み出されてバッファメモリ 123 A に格納される。

#### 【0067】

次に、シーケンサ 132 は読み出されたデータを E C C 回路 136 へ送ってエラーチェックと訂正を行なわせ、E C C 処理が終了すると管理部 130 からインタフェース制御部 110 に対して転送可能を示す信号が送られ、インタフェース制御部 110 はホストインタフェース部 101 から出力される本動作のレディまたはビジーを示す信号／M R E S をハイレベルに変化させる。外部デバイスが、この信号／M R E S の変化を検出してリードクロック R C K をフラッシュメモリに入力すると、上記バッファメモリ 113 A に保持されているデータがホストインタフェース部 101 を介して外部デバイスへ転送される。

#### 【0068】

図 18 には、書込み処理で書込み異常が発生した場合の手順が示されている。なお、この明細書においては、1 セクタのデータ領域の全メモリセルに対してデータを書き込む場合を書込みと称し、1 セクタのデータ領域の一部のメモリセルに対してデータを書き込む場合を書換えと称し、書込みと書換えを区別して扱う。

#### 【0069】

外部デバイスからの書込みコマンドに応じて書込み動作（ステップ S 81）が

終了し、ベリファイ動作によって書込み異常が検出されると記憶部120から管理部130に対して異常終了を知らせる信号が送られる（ステップS82）。すると、管理部は、当該書込みアドレスを不良アドレスとしてワークRAM135内の管理テーブルに登録する（ステップS83）。そして、代替領域の正常セクタと置き換えるアドレス変換を行ない、変換後のアドレスを書込みアドレスとして、記憶部120へ書込みコマンドとアドレスを送る（ステップS84）。すると、記憶部では、代替されたセクタに対して書込みを実行する（ステップS85）。そして、書込みが正常に終了すると記憶部から管理部に対して正常終了を知らせる信号が送られる。

#### 【0070】

次に、管理部は、消去エラーフラグが立っているかチェックし、フラグが立っている時はワークRAMにある管理テーブルをフラッシュ・メモリアレイに格納する（ステップS86，S87）。消去エラーフラグが立っていないときまたは管理テーブルをフラッシュ・メモリアレイに格納後、管理テーブルの書換えを行なったセクタの書換え回数をチェックして所定回数に達していないときはインタフェース制御部に終了信号を送り、インタフェース制御部はホストインタフェース部を制御してチップ外部へ終了信号を出力する（ステップS88）。書換え回数が所定回数以上になっていたときは、書換え回数平均化処理によってブロックシフトを行なってからインタフェース制御部に終了信号を送り、インタフェース制御部はホストインタフェース部を制御してチップ外部へ終了信号を出力する（ステップS89）。

#### 【0071】

なお、消去フラグに関しては、ステップS81の書込み動作で先ず書込み対象のセクタのデータ消去を行なうので、そのデータ消去の際に異常が発生すると消去フラグが立てられるとともに代替処理が行なわれてワークRAM内の管理テーブルが更新される。そこで、この実施例では、書込み終了後に消去エラーフラグが立っているかチェックし、消去フラグが立っている時はワークRAMにある管理テーブルをフラッシュ・メモリアレイに格納するようにしている。

#### 【0072】

図19には、本実施例のフラッシュメモリにおけるデータ消去処理で消去異常が発生した場合の手順が示されている。なお、この消去処理には、外部デバイスからの消去コマンドと書込みコマンドによる書込み前の一旦消去が含まれる。

#### 【0073】

外部デバイスからの消去コマンドまたは書込みコマンドに応じて指定されたセクタのデータ消去動作（ステップS91）が終了し、ベリファイ動作によって消去異常が検出されると記憶部120から管理部130に対して異常終了を知らせる信号が送られる（ステップS92）。すると、管理部は、当該消去アドレスまたは書込みアドレスを不良アドレスとしてワークRAM内の管理テーブルに登録する（ステップS93）。そして、代替領域の正常セクタと置き換えるアドレス変換を行ない、変換後のアドレスを消去アドレスとして、記憶部へ消去コマンドとアドレスを送る（ステップS94）。すると、記憶部では、代替されたセクタに対して消去を実行する（ステップS95）。そして、消去が正常に終了すると記憶部から管理部に対して正常終了を知らせる信号が送られる。特に制限されないが、管理部はステップS92で異常終了を知らせる信号が送られてきた場合、当該消去動作を行ったセクタのメモリセルのしきい値電圧を高くする処理を行い、しきい値電圧が0V以下（デプリート状態）になっているメモリセルのしきい値電圧を0V以上にするようにしても良い。

#### 【0074】

次に、管理部は、消去エラーフラグを立ててから、インタフェース制御部に終了信号を送り、インタフェース制御部はホストインタフェース部を制御してチップ外部へ終了信号を出力する（ステップS96）。なお、書込みコマンドに応じて消去を行なったときは、終了信号を出力せずに図18の書込み処理へ移行する。

#### 【0075】

図20には、本実施例のフラッシュメモリにおける通常のデータ読出し動作の流れが示されている。この通常データ読出しは、外部デバイスからフラッシュメモリに対して読出しコマンドと読出しアドレスが入力されることにより開始される。読出しアドレスはセクタアドレスSAとセクタ内の任意のバイトデータを指

定するカラムアドレスCAとからなる。

#### 【0076】

入力された読出しコマンドはインタフェース制御部を制御して管理部へ送られ、管理部では管理テーブルを用いてアドレス変換を行なう。このアドレス変換には書換え回数平均化処理でブロックシフトされたアドレスと不良アドレス代替処理で代替されたアドレスとが含まれる。アドレス変換後、管理部から記憶部に対して読出しコマンドと変換後のアドレスSA'，CAが送られる。すると、記憶部ではフラッシュ・メモリアレイ121の指定されたセクタのデータとその次のセクタのデータが読み出されてバッファメモリ123Aと123Bにそれぞれ保持される。

#### 【0077】

バッファメモリへのデータの読出しが完了すると完了を知らせる信号が記憶部から管理部へ送られ、この信号に応じて管理部はDMA制御回路137とECC回路136を制御して先ずバッファメモリ123Aのデータに関してエラー検出訂正処理を行ない、該ECC処理が終了するとインタフェース制御部に対して転送可能を知らせ、インタフェース制御部はレディ／ビジーを示す信号／RBを用いてレディ状態になったことを外部デバイスへ知らせる。

#### 【0078】

すると、外部デバイスからのクロックの入力に応じてバッファメモリ123A内のデータがチップ外部へ出力され、外部デバイスへ転送される。また、上記データ転送と並行してバッファメモリ123Bのデータに関してエラー検出訂正処理が実行される。このECC処理が終了するとインタフェース制御部に対してバッファメモリ123Bのデータの転送可能が知らされ、バッファメモリ123Aのデータの転送完了が終了すると、外部デバイスからの要求に応じてバッファメモリ123Bのデータの転送が開始される。

#### 【0079】

図21には、本実施例のフラッシュメモリにおけるシーケンシャル読出し動作の流れが示されている。このシーケンシャル読出しは、外部デバイスからフラッシュメモリに対してシーケンシャル読出しコマンドと読出しアドレスが入力され

ることにより開始され、外部デバイスがクロックを入力し続ける限り読出しアドレス以降のすべてのデータを読み出せるようにした機能である。シーケンシャル読出しは図 20 の通常読出しと類似した手順で行なわれる。

#### 【0080】

図 20 の通常読出しとの違いは、図 20 の通常読出しでは最初に第 1 のバッファメモリ 123 A と第 2 のバッファメモリ 123 B にデータを読み出して一方のバッファメモリ 123 A のデータを外部へ転送している間に他方のバッファメモリ 123 B のデータに対するエラー訂正処理を行なうのに対し、シーケンシャル読出しでは、一方のバッファメモリ 123 A へのデータ読出しとエラー訂正を行ない外部デバイスへ転送可能を知らせている間に他方のバッファメモリ 123 B へのデータ読出しを行なうとともに、一方のバッファメモリ 123 A のデータを外部へ転送している間に他方のバッファメモリ 123 B のデータに対するエラー訂正処理を行なう点と、シーケンシャル読出しでは、一方のバッファメモリのデータ転送終了後にインタフェース制御部から管理部に対してその都度シーケンシャル読出しコマンドを送る点にある。

#### 【0081】

図 22 には、本実施例のフラッシュメモリにおけるデータの書換え動作の流れが示されている。データの書換えは、外部デバイスからフラッシュメモリに対して書換えコマンドと書換えアドレスおよび書換えデータが入力されることにより開始される。書込みアドレスはセクタを指定するセクタアドレス S A のみであるが、書換えアドレスはセクタアドレス S A とセクタ内の任意のバイトデータを指定するカラムアドレス C A とからなる。入力された書換えデータは第 1 のバッファメモリ 123 A に一旦格納される。インタフェース制御部は、書換えコマンドを受けると管理部に対して読出しコマンドを発行するとともに、入力される書換えデータのバイト数を計数して管理部に対して転送データサイズを知らせる。

#### 【0082】

すると、管理部は管理テーブルを用いてアドレス変換を行ない、読出しコマンドと変換後のアドレス S A' , C A を記憶部へ送る。記憶部ではフラッシュ・メモリアレイ 121 の指定されたセクタのデータ領域のデータ (2096 バイト)

とセクタ管理領域の管理データ（16バイト）が読み出されて第2のバッファメモリ123Bに保持される。バッファメモリ123Bへのデータの読出しが完了すると完了を知らせる信号が記憶部から管理部へ送られ、この信号に応じて管理部はDMA制御回路137とECC回路136を制御してバッファメモリ123Bのデータに関してエラー検出訂正処理を行なう。

#### 【0083】

そして、該ECC処理が終了すると管理部はDMA制御回路137を制御して第1のバッファメモリ123Aに保持されている書換えデータを第2のバッファメモリ123Bへ転送してデータを合成する。具体的には、フラッシュ・メモリアレイから読み出された1セクタの21162バイトのデータのうち外部デバイスがカラムアドレスCAで指定した位置のデータを、第1のバッファメモリ123Aに保持されている書換えデータに置き換える。それから、管理部はDMA制御回路137とECC回路136を制御して、書換え後の第2のバッファメモリ123B内のデータに対してECCコードの生成を行なう。

#### 【0084】

その後、記憶部に対して消去コマンドとアドレスを送って書換え対象のセクタのデータ消去を行なわせる。消去が終了すると記憶部から管理部へ終了信号が出力されるので、管理部は記憶部に対して書込みコマンドとアドレスを送って書換え対象のセクタにバッファメモリ123Bのデータを書き込ませる。書込みが終了すると記憶部から管理部へ終了信号が出力されるので、管理部はインタフェース制御部に終了信号を送り、インタフェース制御部はホストインタフェース部を制御して外部デバイスへ終了信号を出力する。

#### 【0085】

図23には、本実施例のフラッシュメモリにおけるデータの消去動作の流れが示されている。データの消去は、外部デバイスからフラッシュメモリに対して消去コマンドと消去アドレスが入力されることにより開始される。なお、この実施例では、消去はセクタ単位で行なわれる。

#### 【0086】

消去コマンドが入力されると、インタフェース制御部110から第1のバッフ



ァメモリ 123A に対してクリア信号を送って全データをクリアさせるとともに、管理部 12 に対して読出しコマンドとアドレスを送る。このアドレスは消去対象のセクタを指定するアドレスである。読出しコマンドを送るのは、図 6 に示されているように、各セクタには本来のデータを記憶するデータ領域の他にセクタ管理情報を記憶する管理領域が設けられており、セクタ単位で消去を実行すると、この管理情報も消去されてしまうので、予めバッファメモリに退避させておくためである。

#### 【0087】

読出しコマンドを受けると管理部は管理テーブルを用いてアドレス変換を行ない、読出しコマンドと変換後のアドレス SA' , CA を記憶部へ送る。記憶部ではフラッシュ・メモリアレイ 121 の指定されたセクタのデータ領域のデータ (2096 バイト) とセクタ管理領域の管理データ (16 バイト) が読み出されて第 2 のバッファメモリ 123B に保持される。バッファメモリ 123B へのデータの読出しが完了すると完了を知らせる信号が記憶部から管理部へ送られ、この信号に応じて管理部は DMA 制御回路 137 と ECC 回路 136 を制御してバッファメモリ 123B のデータに関してエラー検出訂正処理を行なう。

#### 【0088】

そして、該 ECC 処理が終了すると管理部は DMA 制御回路 137 を制御して第 1 のバッファメモリ 123A に保持されているクリアデータ (メモリセルの消去状態に対応したデータ) を第 2 のバッファメモリ 123B へ転送してデータを合成する。具体的には、フラッシュ・メモリアレイから読み出された 1 セクタの 21162 バイトのデータのうちセクタ管理領域に記憶されている 16 バイトのセクタ管理情報を除く 2096 バイトのデータを、第 1 のバッファメモリ 123A に保持されているクリアデータに置き換える。それから、管理部は DMA 制御回路 137 と ECC 回路 136 を制御して、書換え後の第 2 のバッファメモリ 123B 内のデータに対して ECC コードの生成を行なう。

#### 【0089】

その後、記憶部に対して消去コマンドとアドレスを送って消去対象のセクタのデータ消去を行なわせる。消去が終了すると記憶部から管理部へ終了信号が出力

されるので、管理部は記憶部に対して書込みコマンドとアドレスを送って書換え対象のセクタにバッファメモリ 123B のデータを書き込ませる。これによって、指定されたセクタには ECC コードと第 2 のバッファメモリ 123B に退避されていたセクタ管理情報が書き込まれる。書込みが終了すると記憶部から管理部へ終了信号が出力されるので、管理部はインタフェース制御部に終了信号を送り、インタフェース制御部はホストインタフェース部を制御して外部デバイスへ終了信号を出力する。

#### 【0090】

図 24 には、本実施例のフラッシュメモリにおけるディープスタンバイモードへの移行とディープスタンバイモードから通常動作モードへの復帰動作の流れが示されている。

#### 【0091】

本実施例のフラッシュメモリには、記憶部 120 の電源回路 122 内の昇圧用チャージポンプを完全にオフ状態にさせるディープスタンバイモードと、チップを該ディープスタンバイモードへ移行させるためのコマンドとディープスタンバイモードから復帰させるためのコマンドが用意されている。外部デバイスからフラッシュメモリに対してディープスタンバイ移行コマンドが入力されると、インタフェース制御部から記憶部へディープスタンバイモードへの移行を指令するディープスタンバイ信号がアサートされる。

#### 【0092】

すると、記憶部は電源回路 122 内の昇圧用チャージポンプへ供給されるクロックを遮断もしくはクロック生成回路の動作を停止させてチャージポンプをオフ状態にさせる。これにより、フラッシュメモリは、消費電力が非常に少ない状態にされる。また、外部デバイスからフラッシュメモリに対してディープスタンバイからの復帰コマンドが入力されると、インタフェース制御部から記憶部へ供給されるディープスタンバイ信号がネゲートされる。すると、記憶部は電源回路 122 内の昇圧用チャージポンプへのクロックの供給を再開もしくはクロック生成回路を起動させてチャージポンプをオン状態にさせる。これにより、メモリアレイへの書込みや消去に必要な高電圧が発生されるようになる。

**【0093】**

図25には、本実施例のフラッシュメモリにおけるいわゆるホットリスタートと呼ばれる電源投入時に行なわれる動作（図17参照）と類似の動作の流れが示されている。

**【0094】**

図17のパワーオン時の自動読出しでは、管理テーブルのロード完了後にインタフェース制御部110から管理部130に対して読出しコマンドとメモリアレイ121の0番地を示すアドレスが供給されてメモリアレイの先頭番地のデータが読み出されて外部へ出力されるのに対し、図25のホットリスタートでは、フラッシュメモリの所定の外部端子に入力されるPRE信号がロウレベルに変化されると、本動作のレディまたはビジーを示す信号/MRESをビジー状態を示すロウレベルに変化させた後、管理テーブルをロードせずに管理部に対してリードコマンドとメモリアレイの0番地を示すアドレスが送られてメモリアレイの先頭番地のデータが読み出されて外部へ出力される。管理テーブルをロードしないのは、ホットリスタートは電源投入中に行なわれる動作であり、電源投入時にロードされた管理テーブルがすでにワークRAMに保持されているためである。

**【0095】**

PRE信号はホストCPUのような外部デバイスがロウレベルに変化させるようにしてもよいが、図26に示すように、フラッシュメモリ100のPRE信号が入力される外部端子にリセットスイッチR-SWを接続し、フラッシュメモリ100から出力されるレディまたはビジーを示す信号/MRESをホストCPU200のリセット端子に入力させるようにシステムを構成するとともに、フラッシュメモリのメモリアレイの先頭（0番地）にシステムの起動時に最初に実行するプログラムを格納しておくことにより、フラッシュメモリをブートデバイスとして機能させることができる。

**【0096】**

例えばリセットスイッチR-SWを図26のように電源電圧端子Vcc側に設定した状態で図示しないパワースイッチをオンさせてシステムの電源を立ち上げると、図27（A）のように電源電圧Vccの上昇とともにPRE信号がハイレ

ベルに立ち上がる。そのため、このときフラッシュメモリは、図17の動作に従ってメモリアレイの0番地のデータを自動的に読み出し、チップ外部へ出力可能な状態になるとレディまたはビジーを示す信号／MRESをレディ状態を示すハイレベルに変化させる。図26のシステムでは、この信号がホストCPUのリセット端子に入力されるため、CPUのリセットが解除されてCPUがフラッシュメモリからデータを読み出すブート動作を開始することができる。

#### 【0097】

また、電源オン中に、リセットスイッチR-SWをグランド側に切り換えると、図27(B)のようにPRE信号がロウレベルに立ち下がるため、このときフラッシュメモリは、図25のホットリスタートの動作に従って先ず信号／MRESをロウレベルに変化させてから、メモリアレイの0番地のデータを自動的に読み出す。そして、読み出したチップ外部へ出力可能な状態になると、信号／MRESをハイレベルに変化させる。図26のシステムでは、この信号がホストCPUのリセット端子に入力されるため、CPUのリセットが解除されてCPUがフラッシュメモリからデータを読み出すブート動作を開始することができる。

#### 【0098】

次に、本実施例のフラッシュメモリに設けられている他の機能について説明する。

#### 【0099】

本実施例のフラッシュメモリは、複数のテスト用コマンドを備えている。図28には、そのうち2つのテスト用コマンドが入力されたときの動作の手順が示されている。第1のテスト用コマンドが入力されると、図28(A)のように、管理部130がフラッシュ・メモリアレイ121内の管理テーブルの予備代替領域管理情報(図7(C))を参照してエントリ数を加算することにより代替セクタの合計数を算出(ステップS101)し、代替領域のうち使用済みの代替セクタ数をフラッシュ・メモリアレイの通常領域に書き込む(ステップS102)。従って、製品選別の際にこの使用済みの代替セクタ数を読み出すことにより、未使用の代替セクタ数が所定数以下の製品は不良品と判定することにより、通常使用状態で発生する不良セクタを代替できる数がある値以上保証して製品の信頼性を

向上させることができる。

#### 【0100】

また、第2のテスト用コマンドが入力されると、図28（B）のように、管理部130がフラッシュ・メモリアレイ121内の管理テーブルの予備代替領域管理情報（図7（C））を参照してエントリ数を加算することにより代替セクタの合計数を算出する（ステップS111）とともに、第1のテスト用コマンドの入力でメモリアレイに書き込まれた使用済みの代替セクタ数を読み出して（ステップS112）、使用済みの代替セクタ数が増加したか否か判定（ステップS113）し、増加した時はフラグをセット（ステップS114）し、増加していないときはフラグをセットせずに終了する。このフラグは、例えばエージング試験を行なう場合に、試験前に第1のテスト用コマンドを入力し、試験後に第2のテスト用コマンドを入力してフラグを確定させ、その後の選別の際にフラグを参照しフラグが立っている製品は不良品と判定することにより、短時間で不良セクタが増加するような製品が良品として出荷されるのを防止することができる。

#### 【0101】

なお、図28（A）のステップS102で、使用済みの代替セクタ数をフラッシュ・メモリアレイに書き込む代わりにワークRAM135に書き込むようにしてもよい。また、図28（B）のステップS114でセットするフラグも、フラッシュ・メモリアレイ121に設けても良いし、ワークRAM135に設けても良い。また、図28（B）のステップS113で行なう使用済みの代替セクタ数が増加したか否かの判定は、単に増加したか否かの判定でもよいが、所定個数以上増加したか否かを判定するようにしても良い。

#### 【0102】

次に、本発明のフラッシュメモリの他の実施例を説明する。この実施例は、電源立上がり時にフラッシュ・メモリアレイからワークRAMにロードする管理テーブルが正常に読み出せなかった場合にはメモリアレイへのアクセスを拒否するようにしたものである。これを実現するための手段としては、例えば管理テーブルが正常に読み出せたか否かを判定して正常に読み出せたときにフラグをセットする処理と、図29に示されているように、フラッシュ・メモリアレイへのアク

セスコマンドが入力（ステップS121）されたときに管理テーブルロード済みフラグを参照（ステップS122）して正常にロードされているか判定（ステップS123）し、正常にロードされている場合にのみフラッシュ・メモリアレイへのアクセスを許可（ステップS124）し、正常にロードされていない場合にはフラッシュ・メモリアレイへのアクセスを拒否してテーブルエラーを示す信号を出力（ステップS125）またはステータスレジスタの所定のビットをセットする処理とを管理部が実行できるように構成する方法が考えられる。

#### 【0103】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、実施例においては、1つの記憶素子（メモリセル）に1ビットのデータを記憶可能な2値のフラッシュメモリについて説明したが、本発明は1つの記憶素子に2ビット以上のデータを記憶する多値のフラッシュメモリに対しても適用することができる。

#### 【0104】

さらに、前記実施例においては、メモリアレイの具体的な構成については説明を省略したが、本発明は複数の記憶素子がビット線とソース線との間に並列に接続されたいわゆるAND型もしくはNOR型のフラッシュメモリはもちろん、記憶素子が直列に接続されたいわゆるNAND型のフラッシュメモリに対しても適用することができる。更にはフローティングゲートとコントロールゲートを有する2層ゲート型のメモリセルに限られず、コントロールゲートとチャネルの間に窒化膜からなる電荷蓄積層を有するMONOS型のメモリセルであっても良い。この場合電荷蓄積層全体に電荷を蓄積し1ビット情報を格納するものであっても、電荷蓄積層の部分的に電荷を蓄積し2ビット以上の情報を格納するものであっても良い。

#### 【0105】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、この発明はそれに限定されるものでなく、本発明は、電圧を印加してしきい値電圧を変化さ

せて情報の記憶を行なう不揮発性記憶素子を有する半導体メモリに広く利用することができる。

#### 【0 1 0 6】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

#### 【0 1 0 7】

すなわち、本発明に従うと、不揮発性半導体記憶装置が代替処理機能やエラー訂正機能を備えているため外部のコントローラによって代替処理やエラー訂正処理を行なう必要がなくなり、システム開発者の負担が軽減されるとともに、アドレス変換情報が複数個記憶されているため、いずれかのアドレス変換情報が失われても他のアドレス変換情報を代用することでシステムが動作しなくなるような異常な状態を回避できるようになる。

#### 【0 1 0 8】

また、複数のアドレス変換情報が2つ以上の領域に順繰りに記憶されるため、アドレス変換情報を記憶するいずれかの領域のデータが書き込みまたは消去動作によって失われても他の領域に記憶されているアドレス変換情報は失われることなく、システムが動作しなくなるような異常な状態を確実に回避できるようになる。

##### 【図面の簡単な説明】

#### 【図 1】

本発明を適用して有効な不揮発性半導体記憶装置の一例としてのフラッシュメモリの実施例を示すブロック図である。

#### 【図 2】

実施例のフラッシュメモリにおける第 1 方式の代替処理の概念を示す説明図である。

#### 【図 3】

実施例のフラッシュメモリにおける第 2 方式の代替処理の概念を示す説明図である。

**【図 4】**

実施例のフラッシュメモリの全体の構成を示す説明図である。

**【図 5】**

実施例のフラッシュメモリにおける管理部の処理手順を示すフローチャートである。

**【図 6】**

実施例のフラッシュメモリにおける通常領域と代替領域の各セクタの構成例を示すもので、(A) はデータ領域の構成、(B) はフラッシュメモリが AND または NAND 仕様に設定された場合のセクタ管理領域の構成、(C) はフラッシュメモリが S AND 仕様に設定された場合のセクタ管理領域の構成をそれぞれ示す説明図である。

**【図 7】**

実施例のフラッシュメモリにおける管理テーブルの概略構成例を示す説明図である。

**【図 8】**

実施例のフラッシュメモリにおける管理テーブルを構成する各領域の詳細な構成例を示す説明図である。

**【図 9】**

実施例のフラッシュメモリにおける書換え回数平均化処理の概念を示す説明図である。

**【図 10】**

実施例のフラッシュメモリにおける管理テーブルの履歴管理の仕方を示す説明図である。

**【図 11】**

実施例のフラッシュメモリにおけるワーク RAM の構成例を示す説明図である。

**【図 12】**

実施例のフラッシュメモリにおける電源投入時におけるフラッシュ・メモリアレイからワーク RAM へ管理テーブル領域のデータを読み出す処理の手順を示す



フローチャートである。

【図 13】

図 12 のフローチャートにおけるテーブルコピー処理の詳細な手順を示すフローチャートである。

【図 14】

実施例のフラッシュメモリにおけるワーク RAM からフラッシュ・メモリアレイへ管理テーブル領域のデータを格納する処理の手順を示すフローチャートである。

【図 15】

本実施例のフラッシュメモリにおけるアドレス変換処理の手順を示すフローチャートである。

【図 16】

本実施例のフラッシュメモリにおける電源投入時の処理の手順を示すフローチャートである。

【図 17】

パワーオン時に自動読出しを行なう場合のタイミングを示すタイミングチャートである。

【図 18】

本実施例のフラッシュメモリにおける書込み処理で書込み異常が発生した場合の手順を示すフローチャートである。

【図 19】

本実施例のフラッシュメモリにおけるデータ消去処理で消去異常が発生した場合の手順を示すフローチャートである。

【図 20】

本実施例のフラッシュメモリにおける通常のデータ読出し動作の流れを示すタイミングチャートである。

【図 21】

本実施例のフラッシュメモリにおけるシーケンシャル読出し動作の流れを示すタイミングチャートである。

**【図 2 2】**

本実施例のフラッシュメモリにおけるデータを書換え動作の流れを示すタイミングチャートである。

**【図 2 3】**

本実施例のフラッシュメモリにおけるデータの消去動作の流れを示すタイミングチャートである。

**【図 2 4】**

本実施例のフラッシュメモリにおけるディープスタンバイモードへの移行とディープスタンバイモードから通常動作モードへの復帰動作の流れを示すタイミングチャートである。

**【図 2 5】**

本実施例のフラッシュメモリにおけるホットリスタートと呼ばれる電源投入時に行なわれる動作の流れを示すタイミングチャートである。

**【図 2 6】**

本実施例のフラッシュメモリを用いたシステムの構成例を示すシステム構成図である。

**【図 2 7】**

図 2 6 のシステムにおける CPU とフラッシュメモリ間の信号のタイミングを示すタイミングチャートである。

**【図 2 8】**

本実施例のフラッシュメモリにおけるテスト用コマンドが入力されたときの動作の手順を示すフローチャートである。

**【図 2 9】**

本発明のフラッシュメモリの他の実施例における電源立上がり時の処理の手順を示すフローチャートである。

**【符号の説明】**

1 0 1    ホストインタフェース部

1 1 0    インタフェース制御部

1 2 0    記憶部

1 2 1 フラッシュ・メモリアレイ

1 2 2 電源回路

1 2 3 バッファメモリ

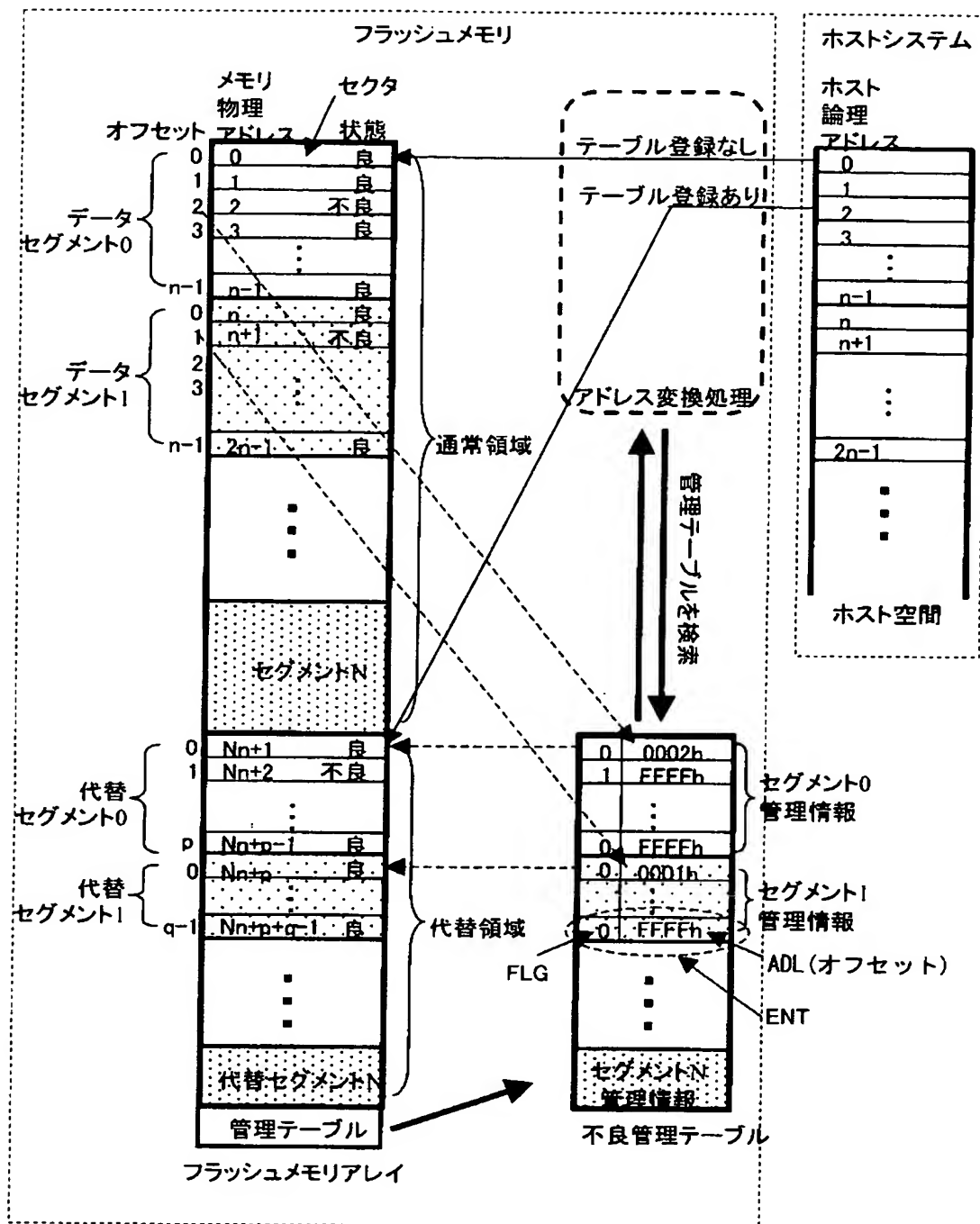
1 3 0 管理部

1 3 2 シーケンサ

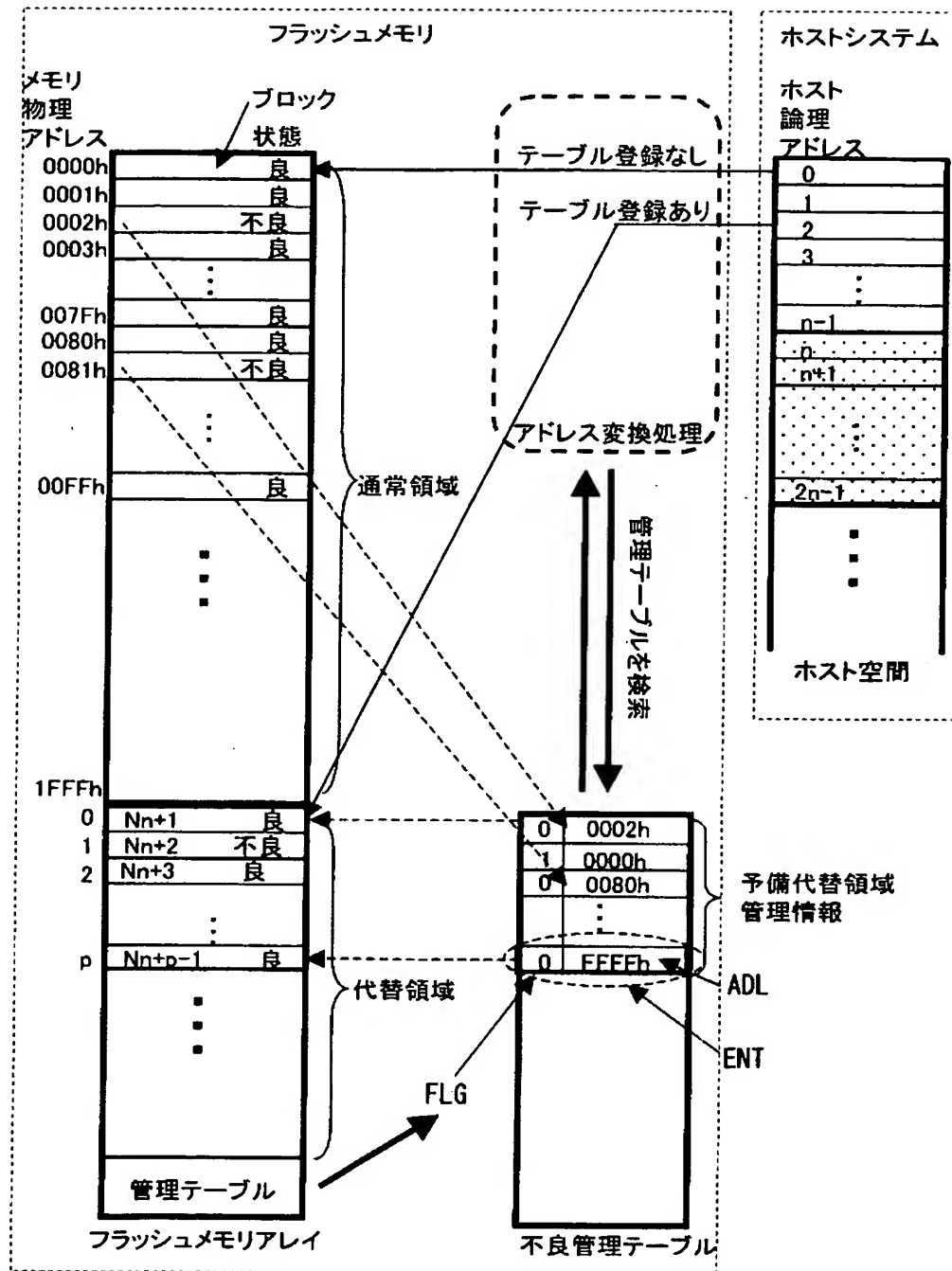
1 3 6 エラー検出訂正回路



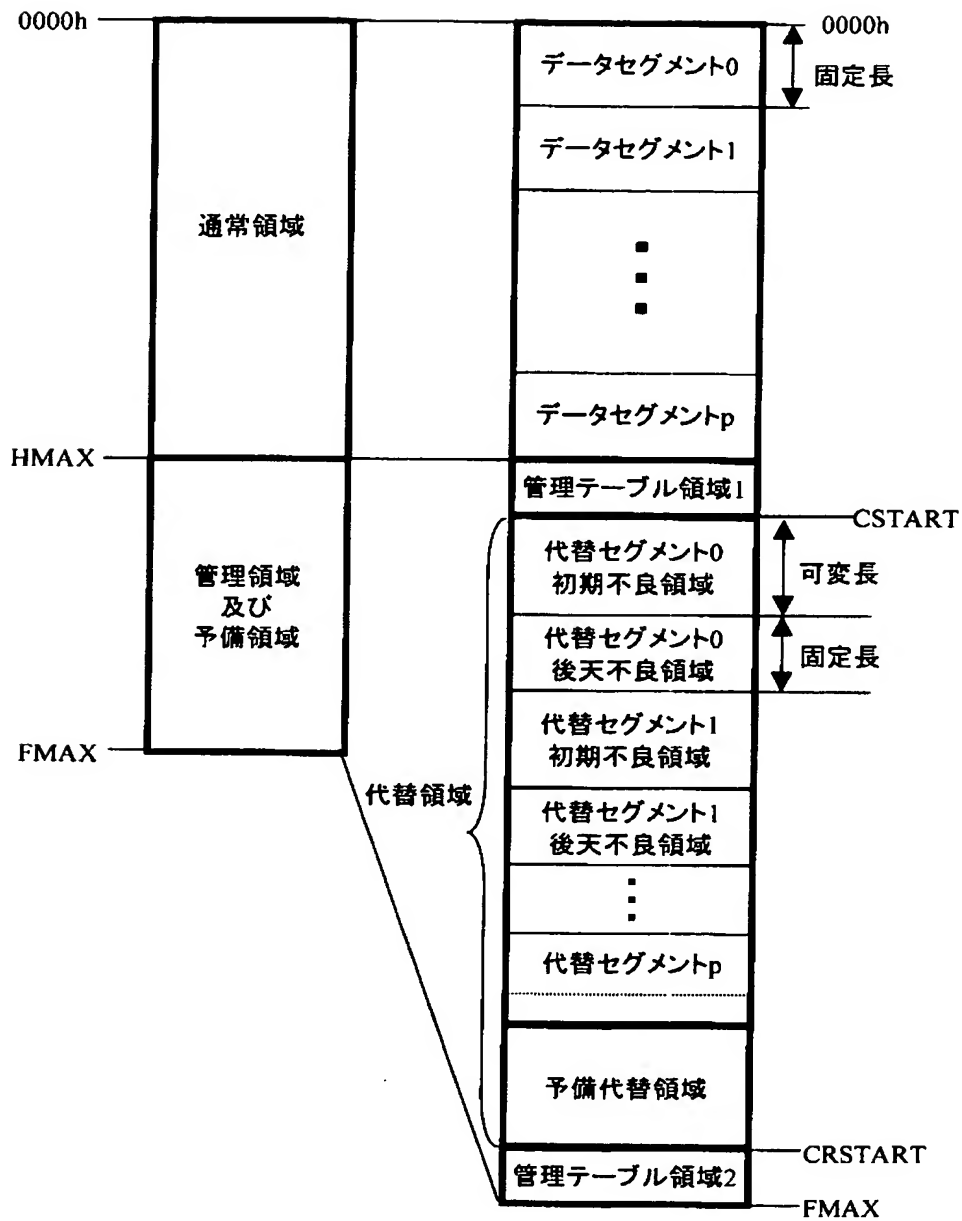
【図 2】



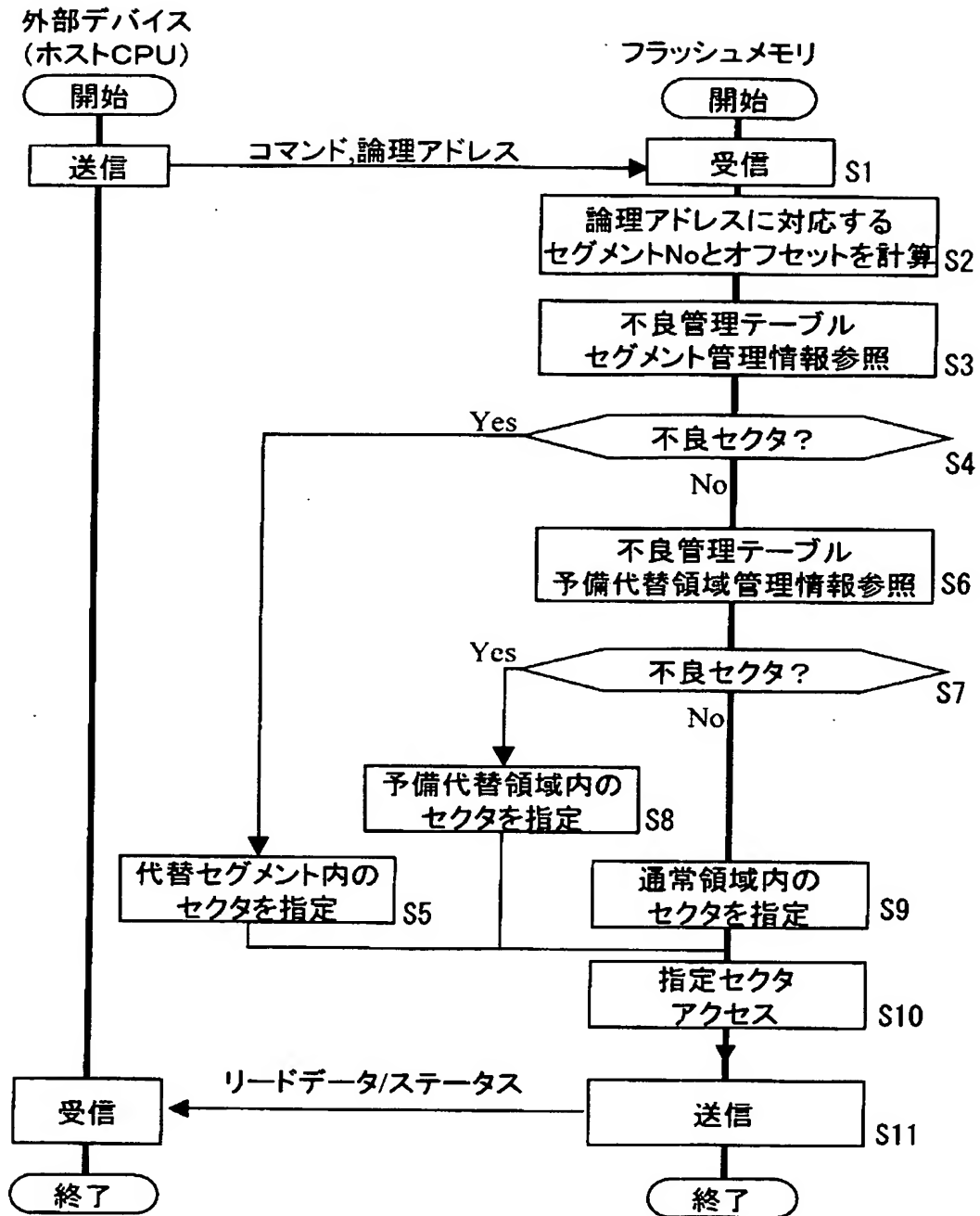
【図 3】



【図 4】



【図 5】





【図 6】

(A)

データ領域(2096Byte)の構成

512	8	512	8	512	8	512	8	8	8
Page0	*管理0	Page1	*管理1	Page2	*管理2	Page3	*管理3	ECC0	ECC1

(B)

セクタ管理領域(16Byte)の構成

MGM コート	識別コート	管理ヘッダ	WL処理管理 (WL配列、消去回数)	CECC0	CECC1	HECC
------------	-------	-------	-----------------------	-------	-------	------

(C)

セクタ管理領域の構成(SAND)

MGM コート	識別コート	管理ヘッダ	WL処理管理 (設定回数)	CECC0	CECC1	HECC
------------	-------	-------	------------------	-------	-------	------

【図 7】

不良管理テーブル					WL処理管理テーブル
領域設定	スワップ 管理	代替セグメント オフセット	代替セグメント 管理	予備代替 領域管理	WL処理管理情報

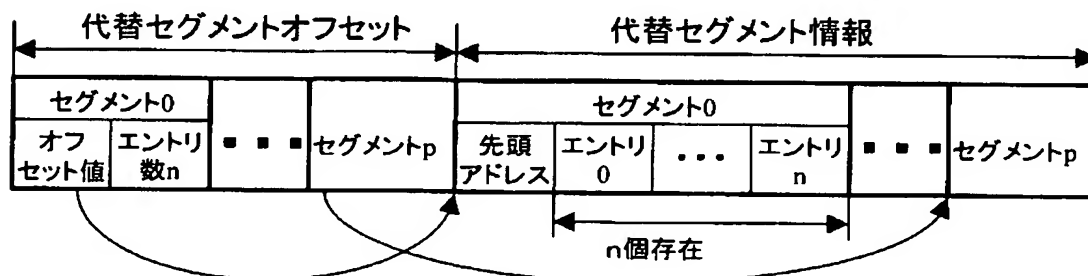
【図 8】

(A)

## スワップ管理情報

セグメントエントリ0		セグメントエントリ1		...
不良セグメント アドレス	代替先セグメント アドレス	不良セグメント アドレス	代替先セグメント アドレス	

(B)



(C)

## 予備代替領域管理情報

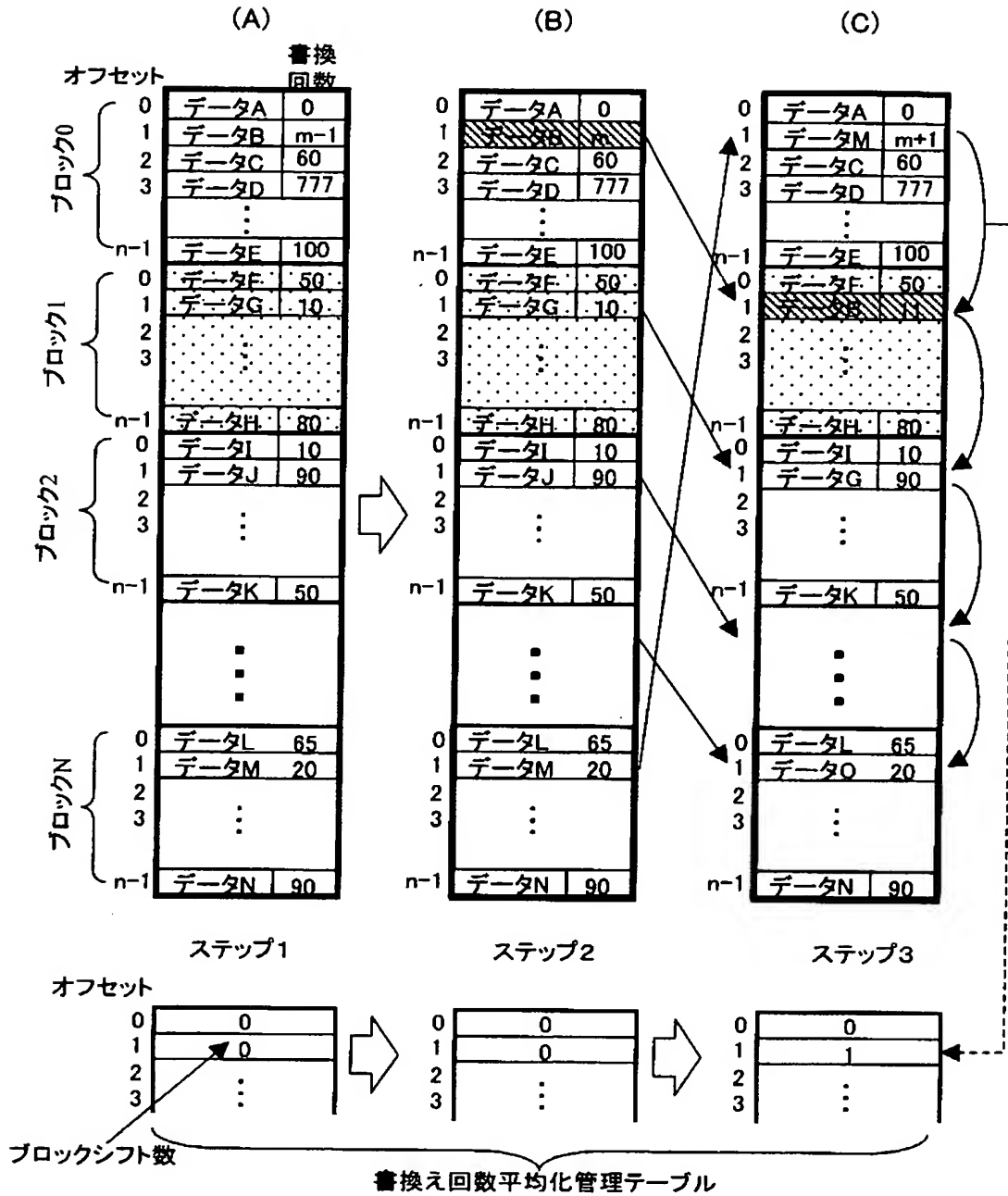
エントリ数	エントリ0	エントリ1	...	エントリn
-------	-------	-------	-----	-------

(D)

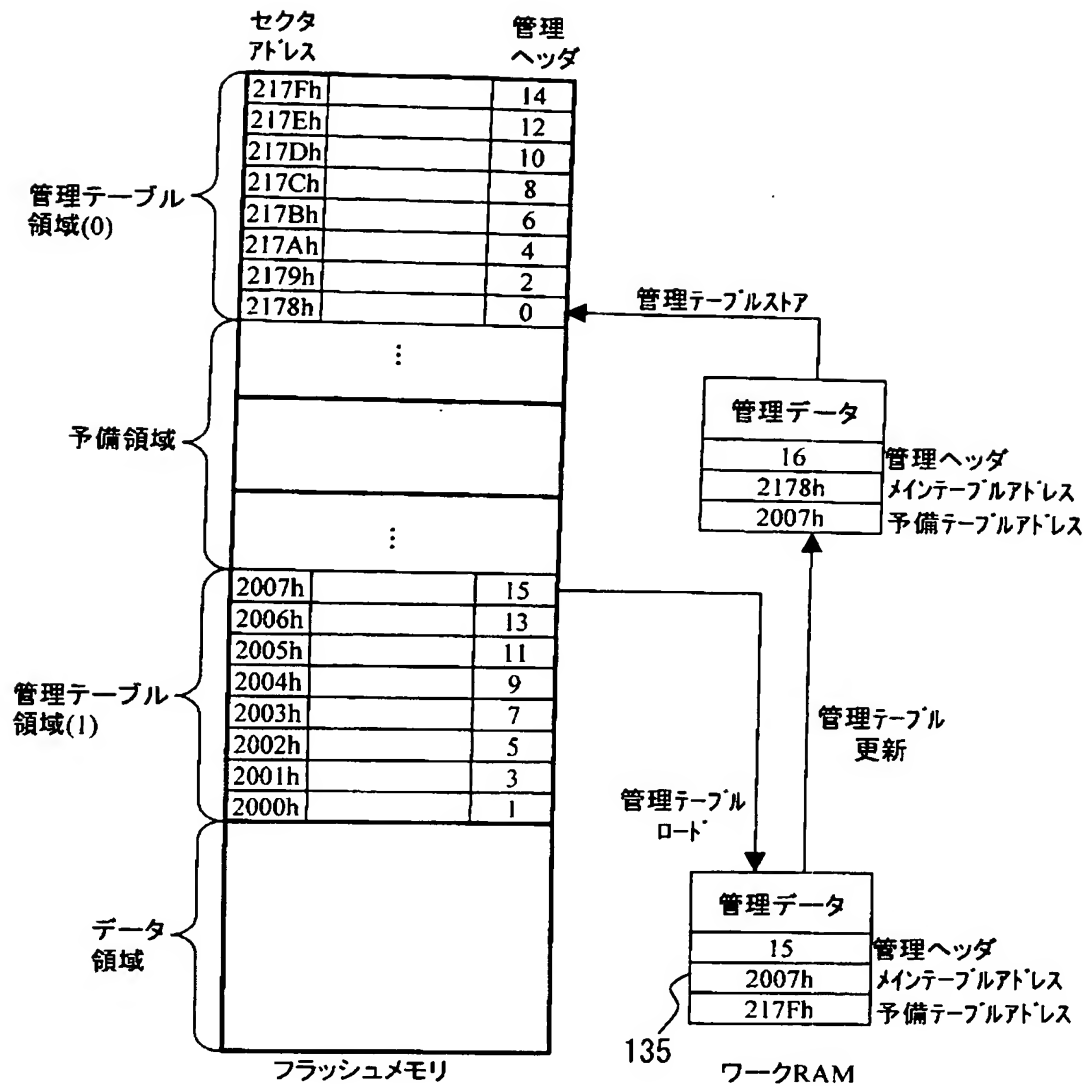
## WL処理管理情報

オフセット0 ブロックシフト数	オフセット1 ブロックシフト数	...	オフセットn-1 ブロックシフト数
--------------------	--------------------	-----	----------------------

【図 9】

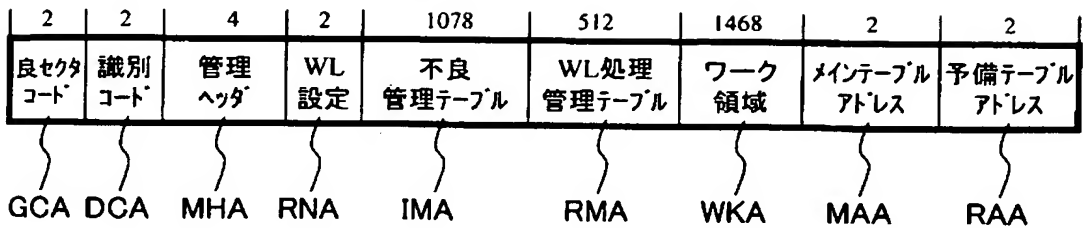


【図 10】

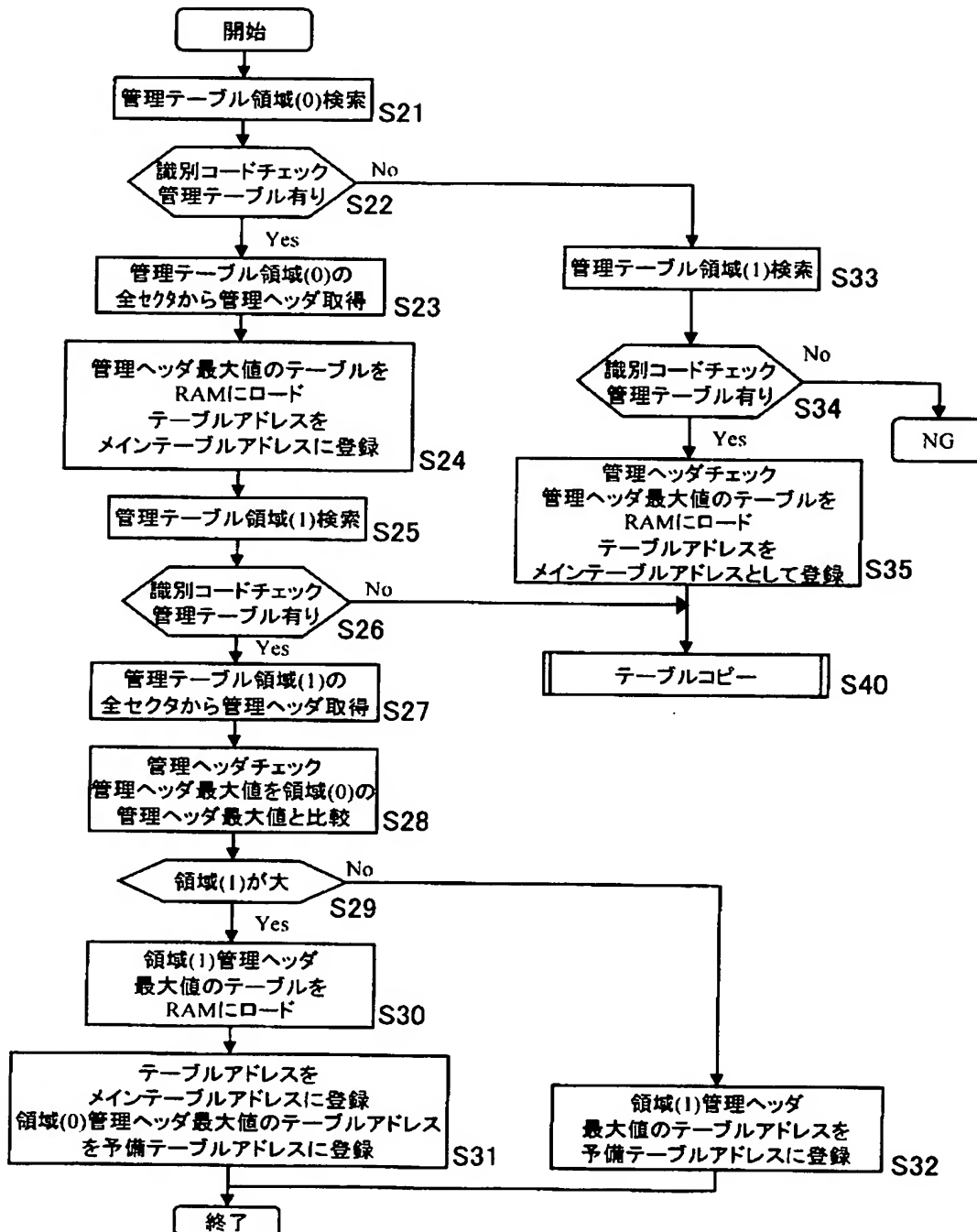


【図 1 1】

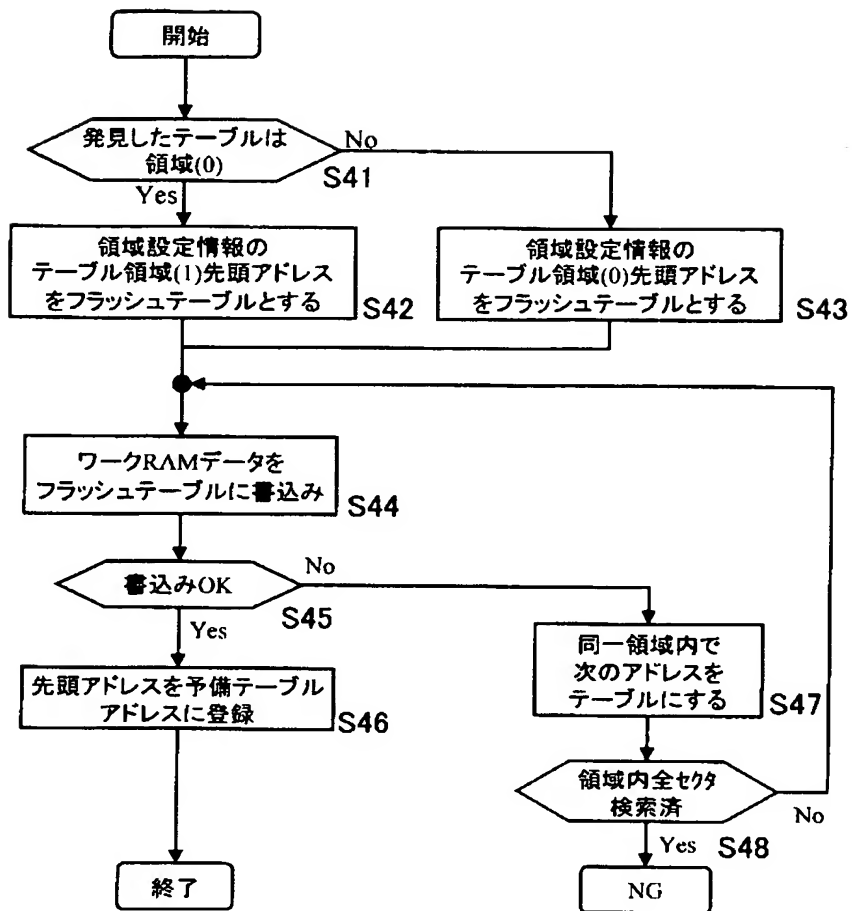
ワークRAM(3072Byte)の構成



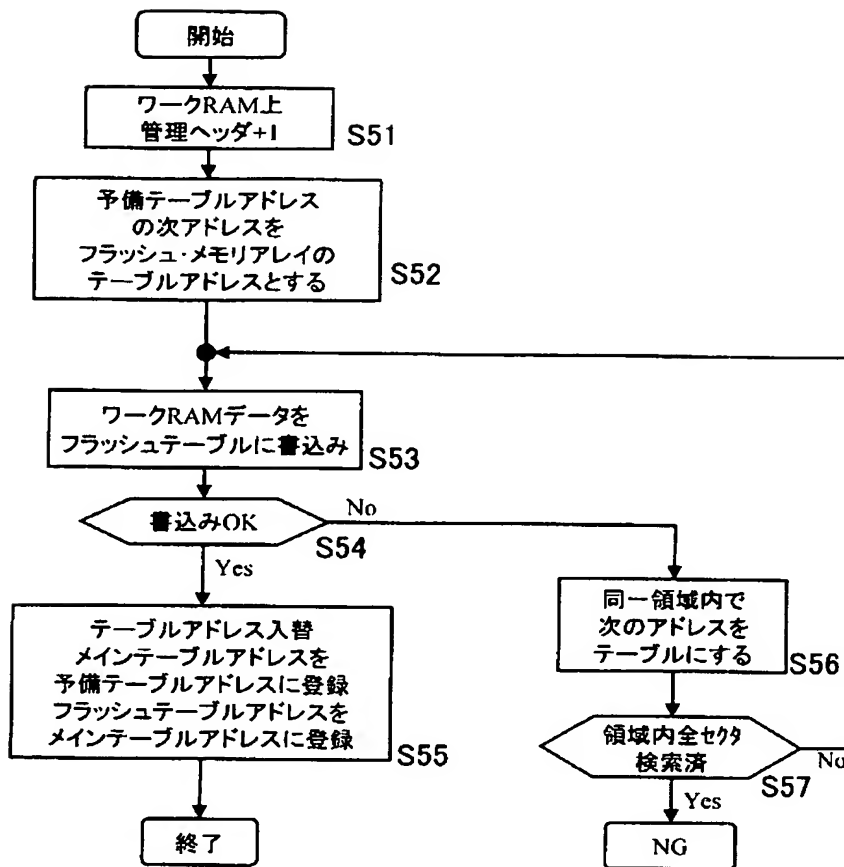
【図 12】



【図 13】

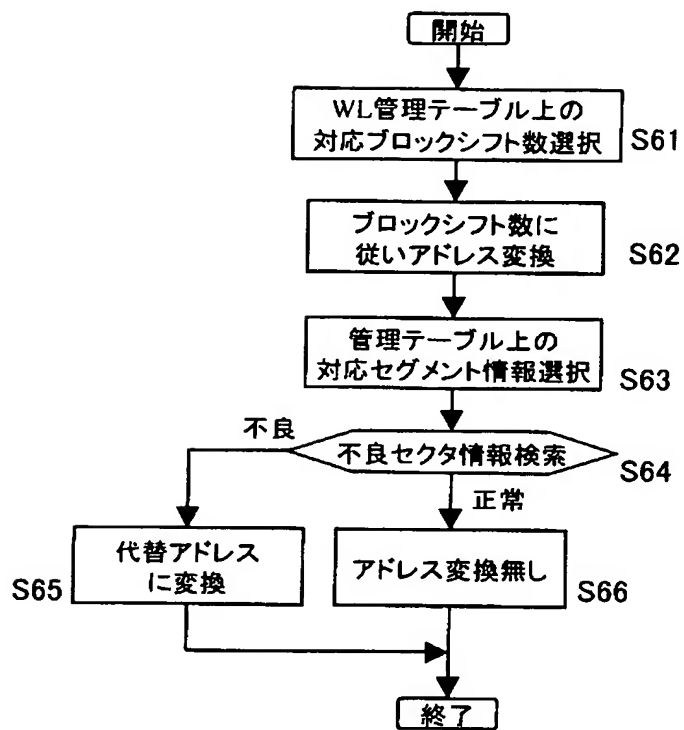


【図 14】

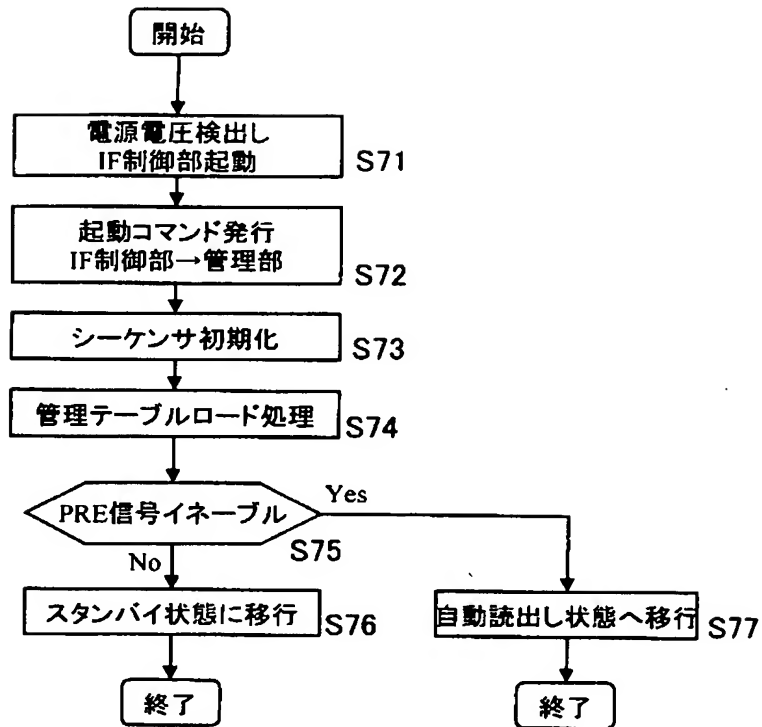




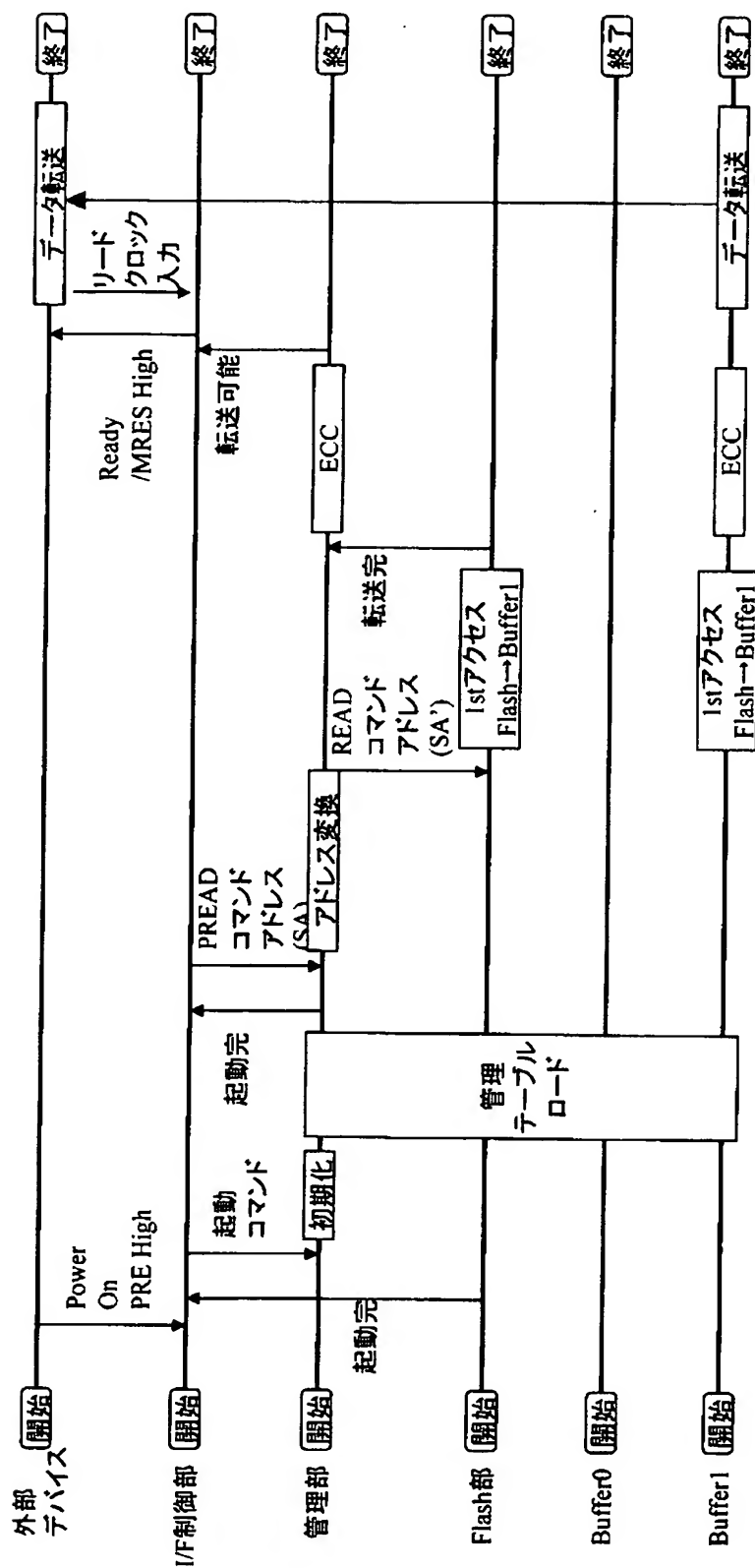
【図 15】



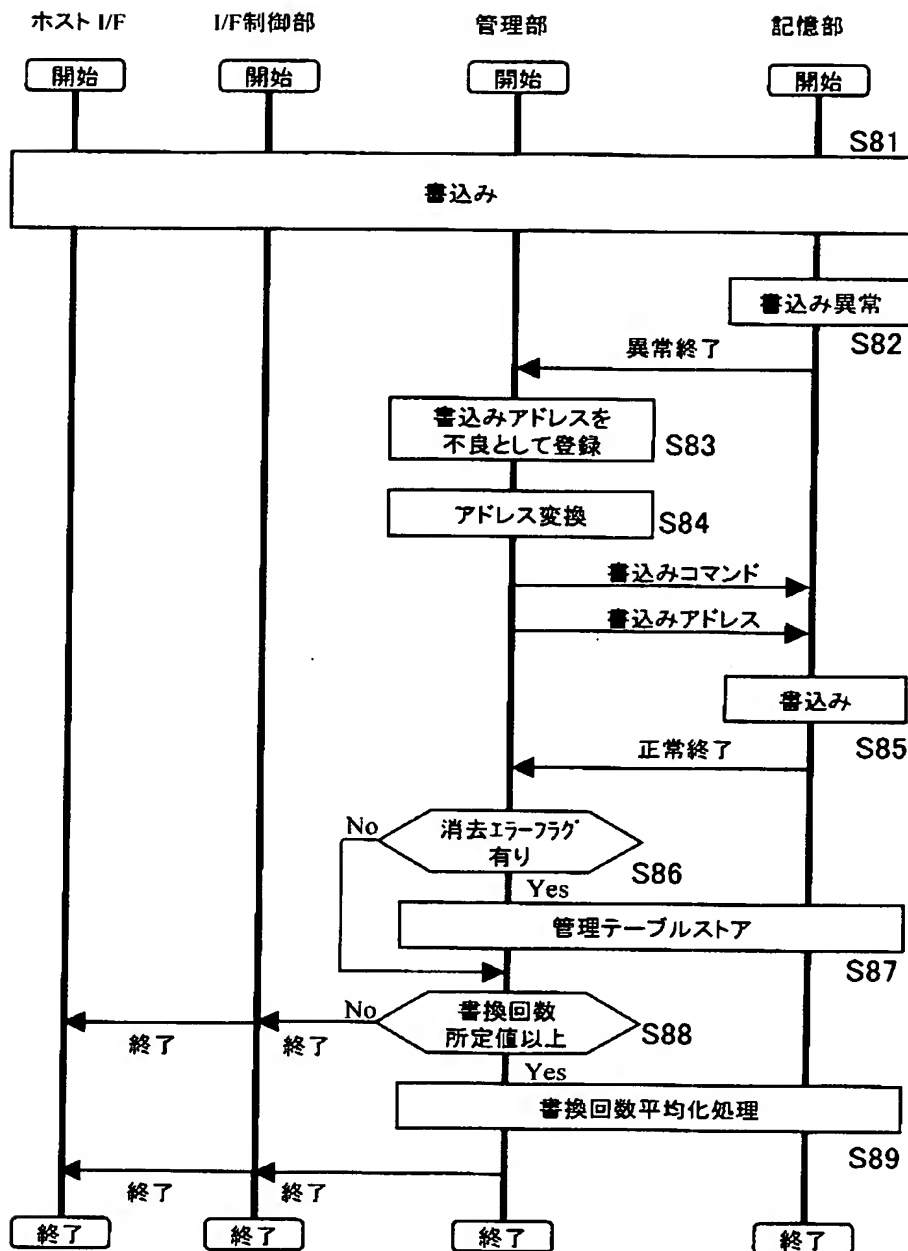
【図 16】



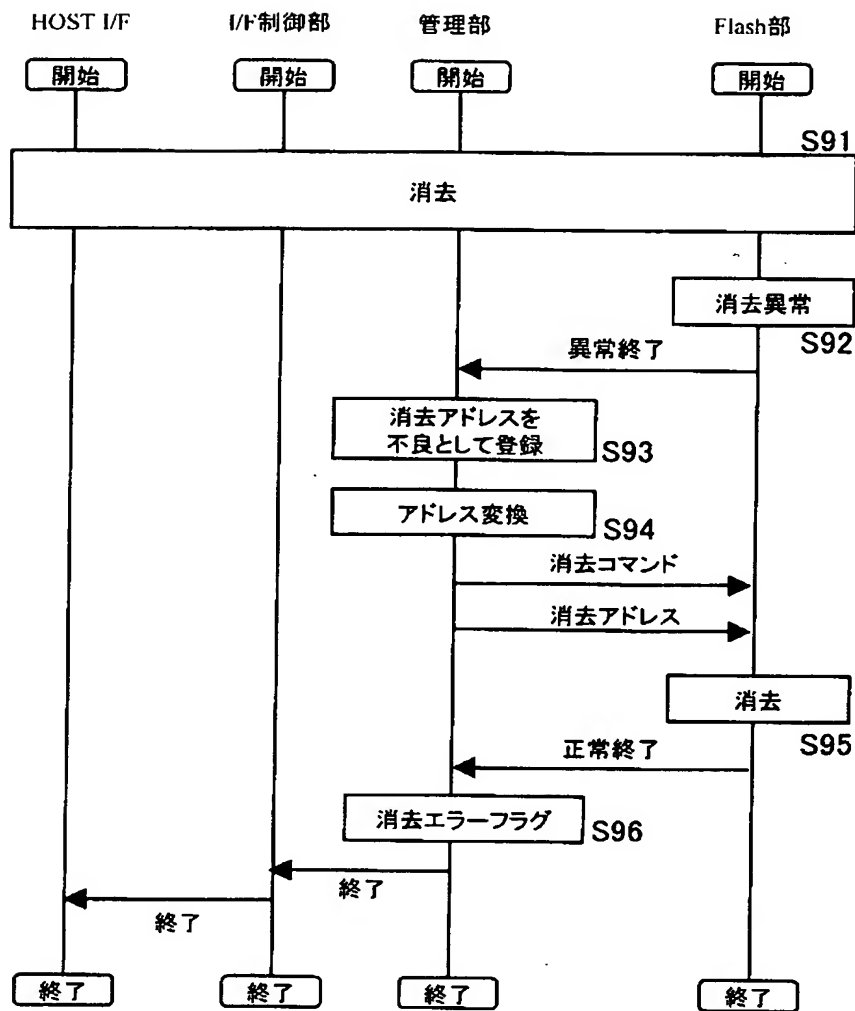
【図 17】



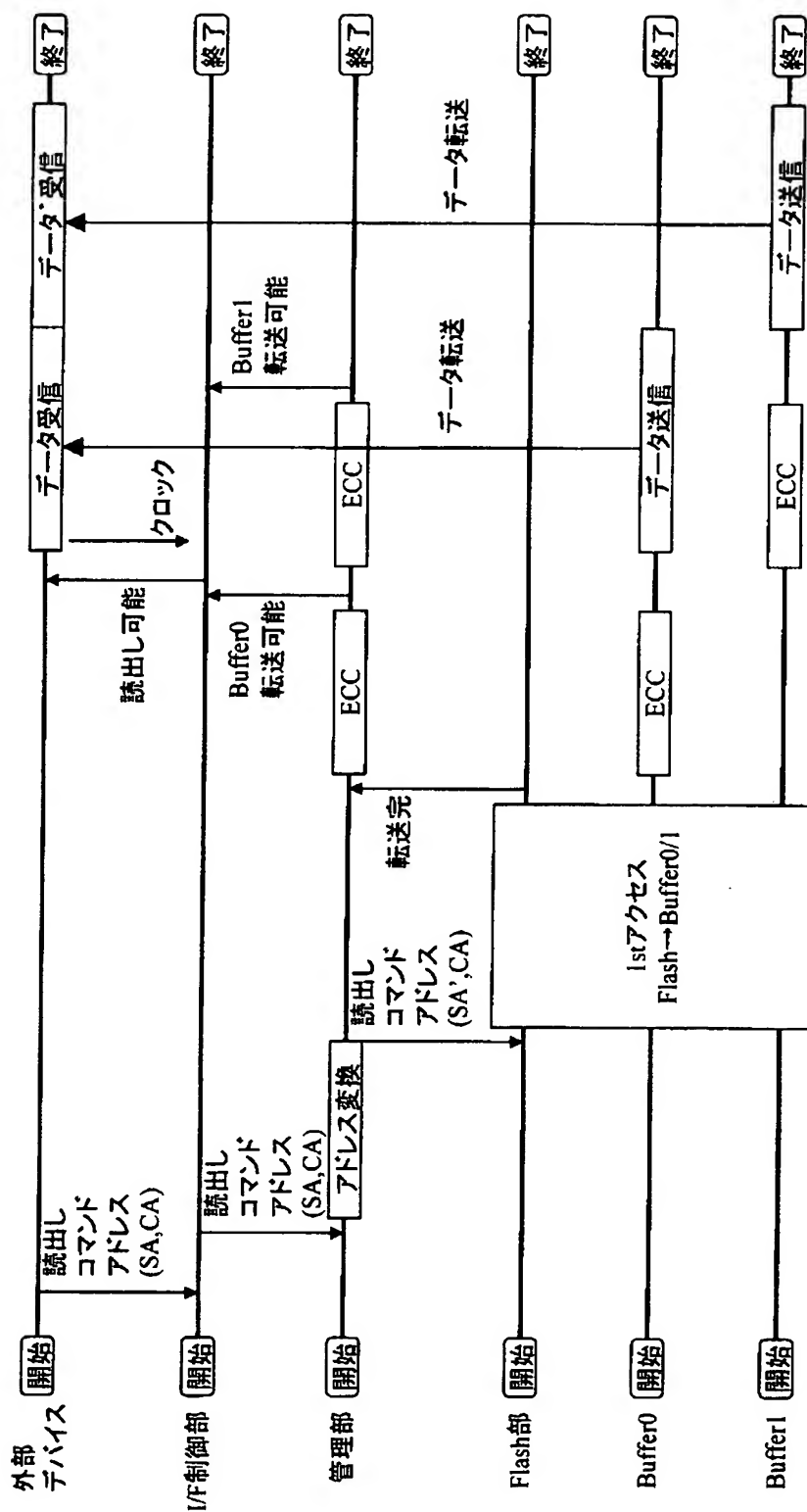
【図18】



【図 19】



【図 20】

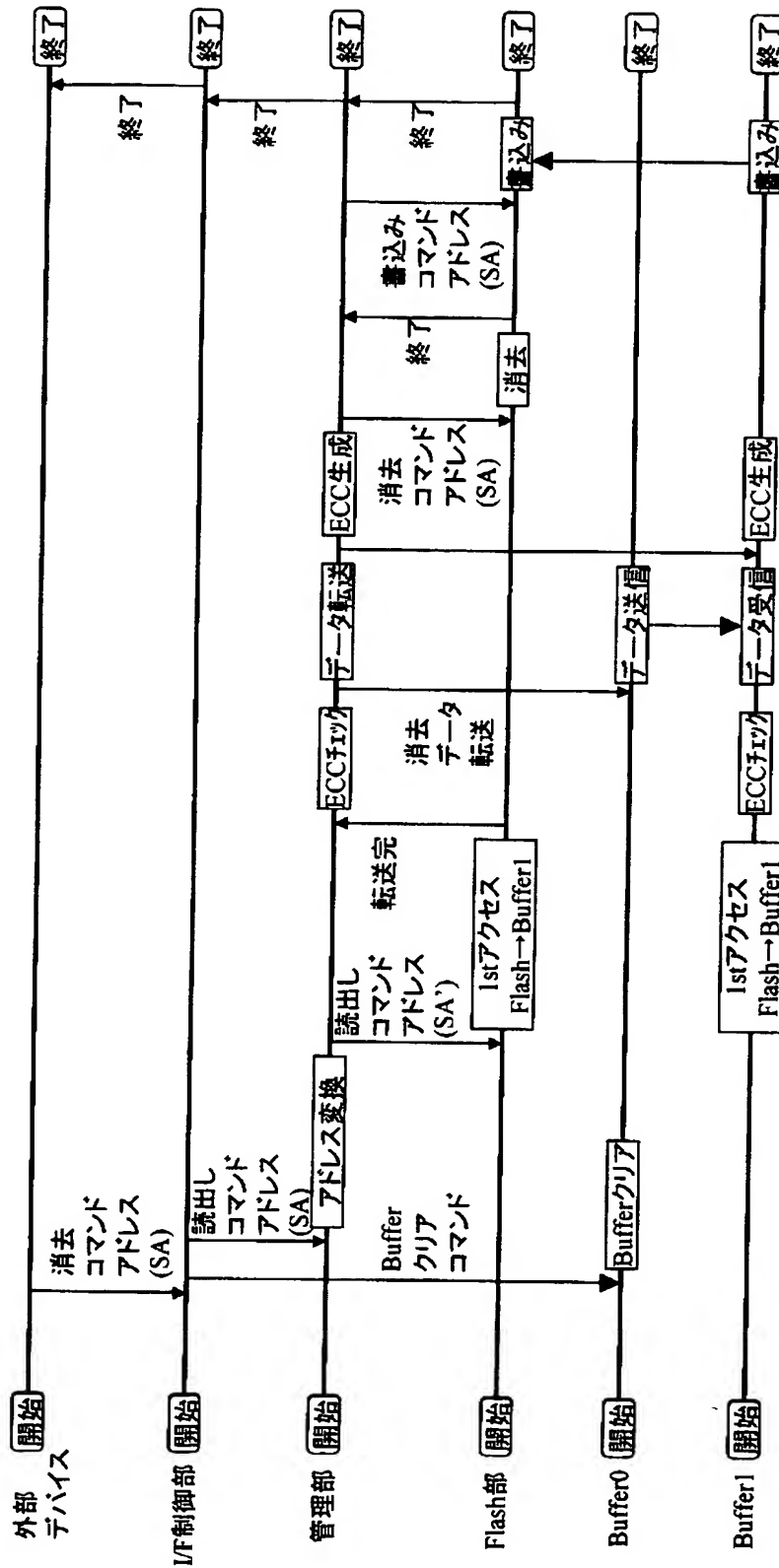




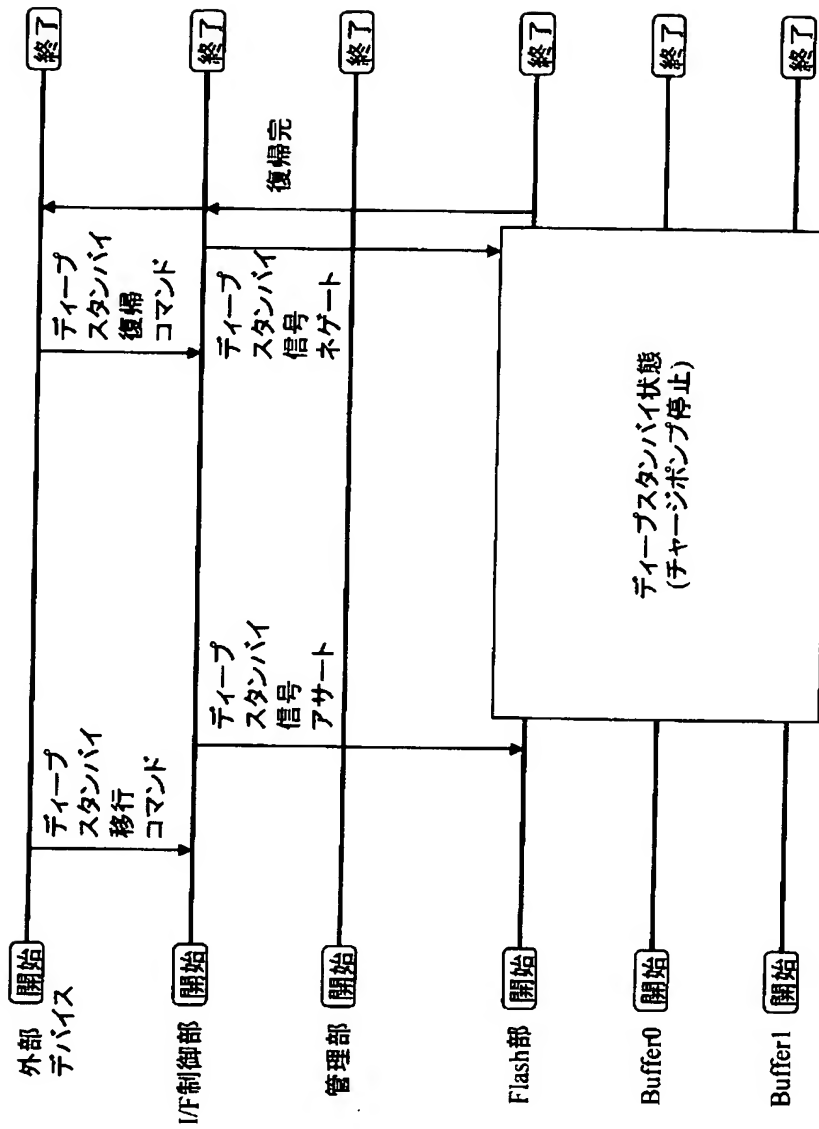




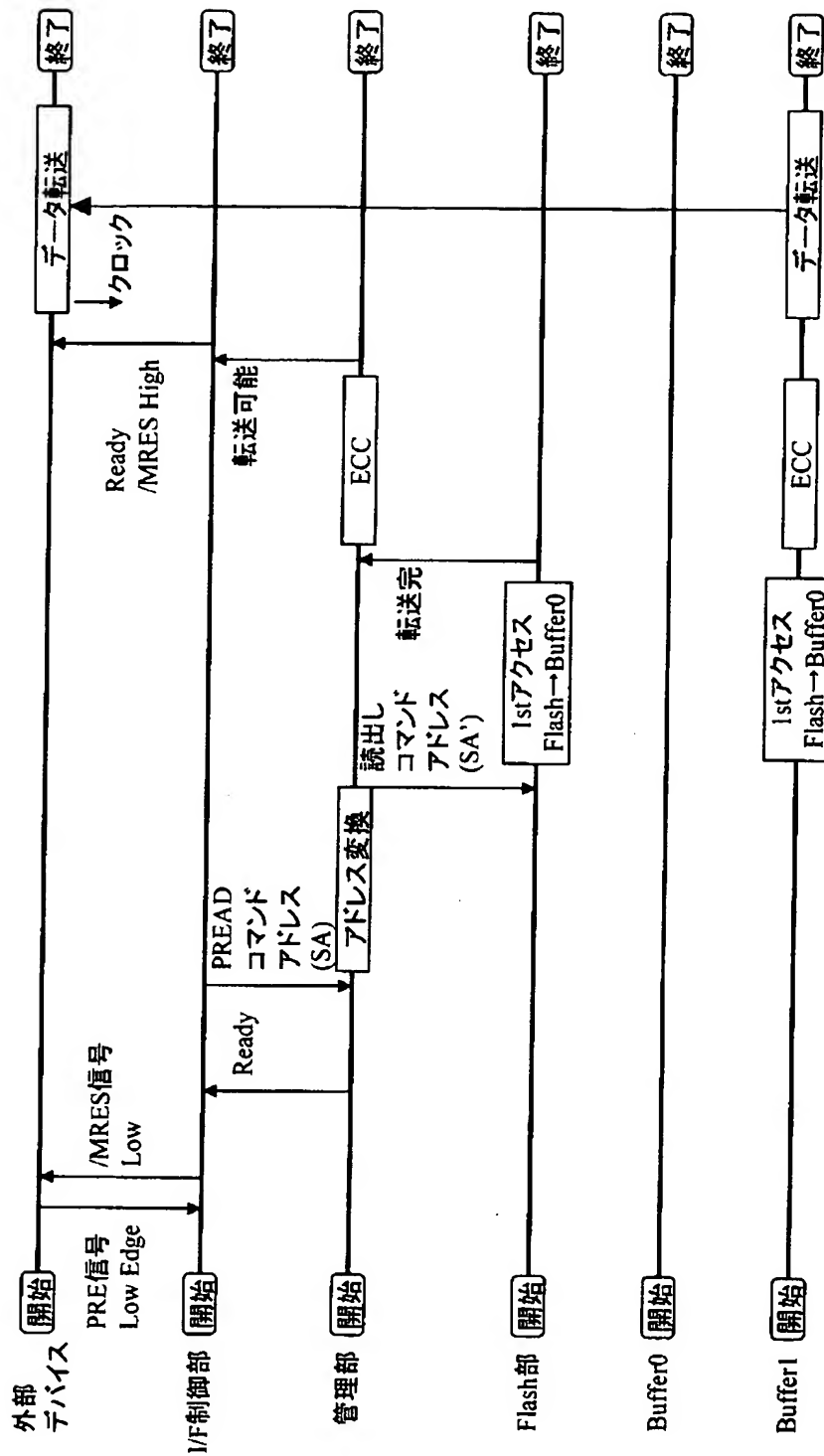
【図 23】



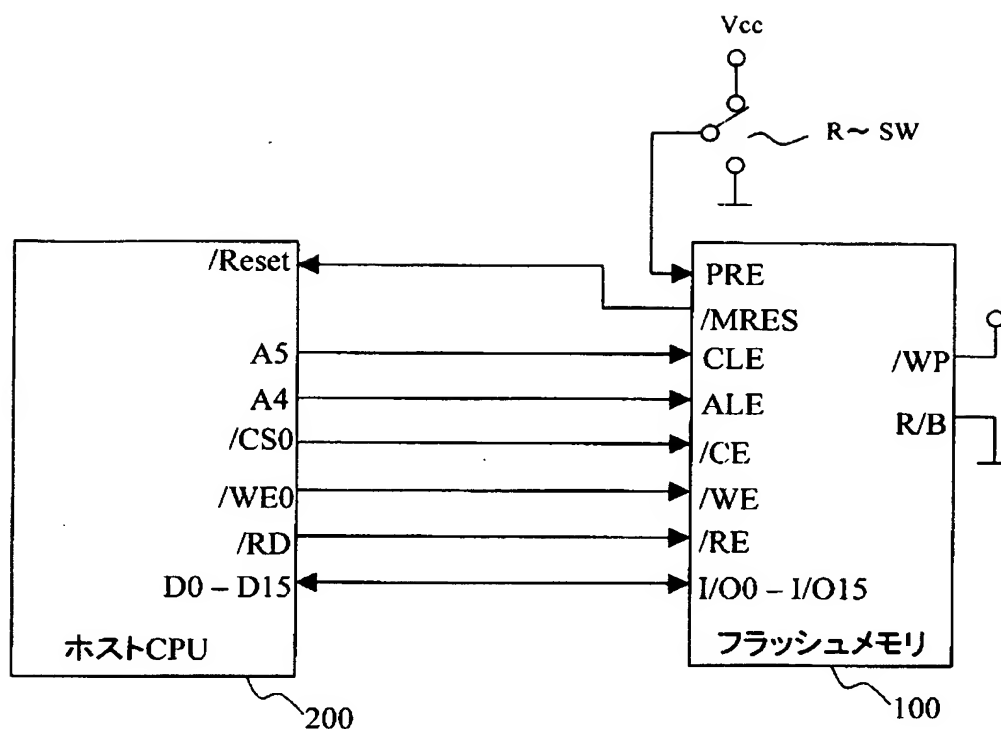
【図 24】



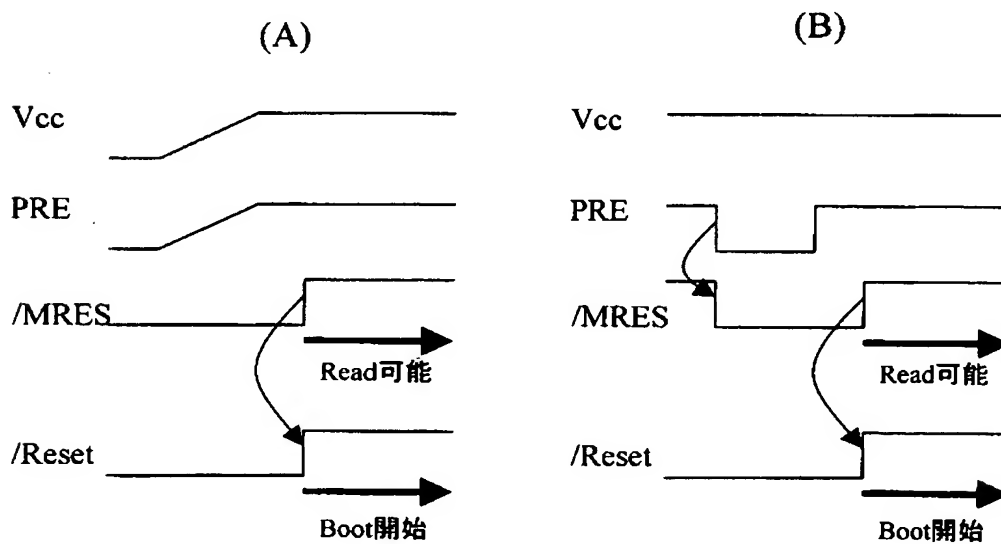
【図 25】



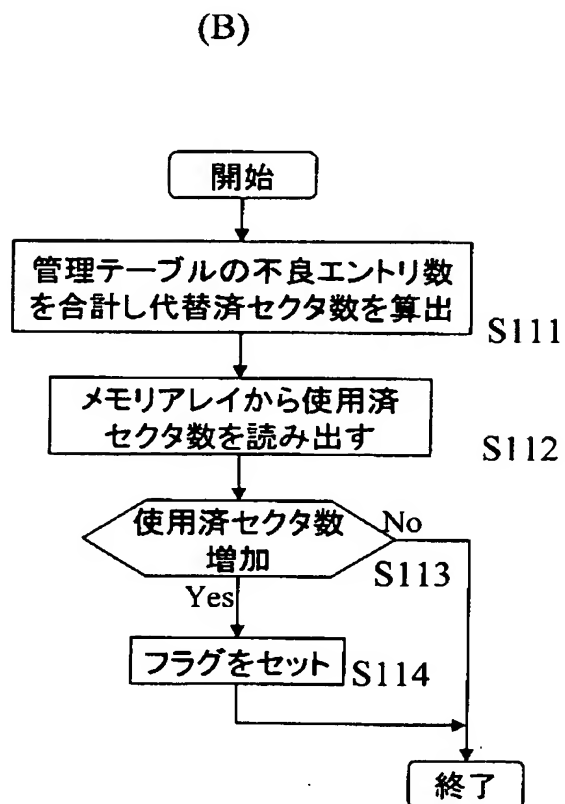
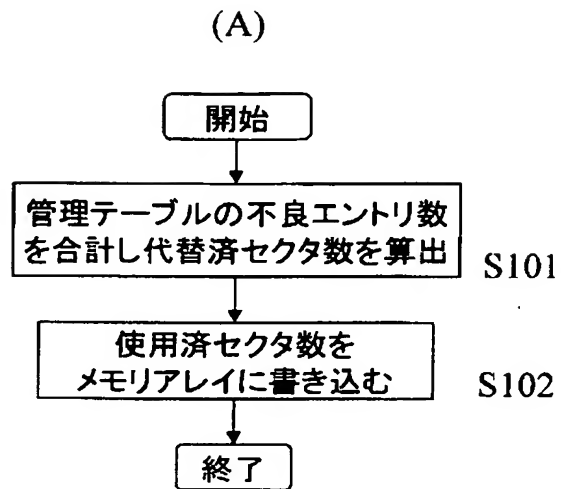
【図 26】



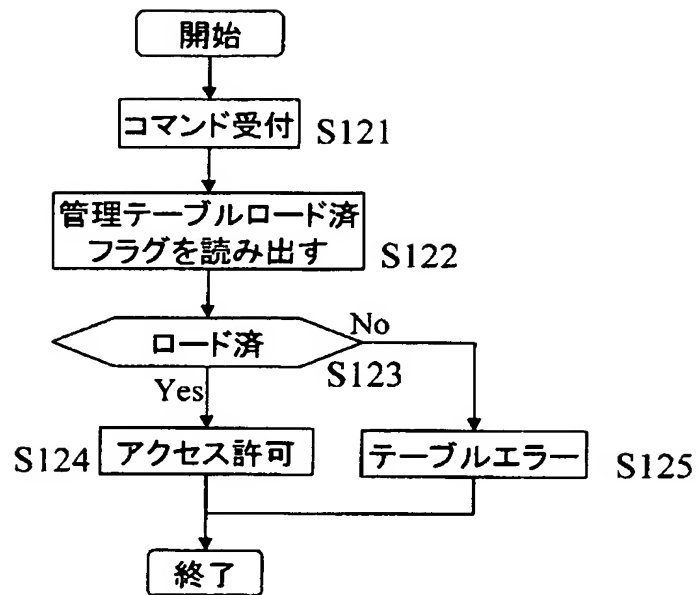
【図 27】



【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 フラッシュメモリのような電氣的に書込み、消去可能な不揮発性半導体記憶装置において、システム開発者の負担を軽減するとともに、管理テーブルデータやアドレス変換情報などシステムにとって重要なデータが破損してもシステムが動作しなくなるような異常な状態を回避できるようにする。

【解決手段】 正常な書込みまたは消去が不能な不良メモリセルを含むメモリセル群と不良メモリセルを含まないメモリセル群と置き換える代替処理機能と、各メモリセル群に対するデータ書換え回数を把握して複数のメモリセル群間で書換え回数に極端に大きな差が生じないようにメモリセル群と置き換える書換え回数平均化処理機能と、上記メモリアレイに記憶されたデータの誤りを検出し訂正するエラー訂正機能とを持たせ、上記代替処理機能による第1のアドレス変換情報および上記書換え回数平均化処理機能による第2のアドレス変換情報をそれぞれ上記メモリアレイの所定の領域に記憶し、同一のメモリセル群に関する上記第1のアドレス変換情報および第2のアドレス変換情報を時系列的に複数個記憶するようにした。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 7 8 9 5 2
受付番号	5 0 2 0 1 4 3 1 5 6 5
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 9 月 2 6 日

< 認定情報・付加情報 >

【提出日】 平成14年 9月25日

次頁無



【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-278952

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【提出物件の目録】

【包括委任状番号】 0308733

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 3 - 1 0 8 7 1 2 号 同日提出の出願人  
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 7 8 9 5 2
受付番号	5 0 3 0 1 2 3 2 4 2 6
書類名	出願人名義変更届（一般承継）
担当官	小野寺 光子 1 7 2 1
作成日	平成 1 5 年 9 月 2 日

< 認定情報・付加情報 >

【提出日】	平成 15 年 7 月 25 日
-------	------------------

特願 2 0 0 2 - 2 7 8 9 5 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 2 7 8 9 5 2

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ